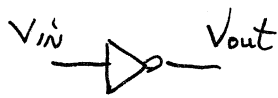


(04.025) CMOS Inverter 回路の入出力電圧特性を説明しなさい。

2016.7.16

1/5

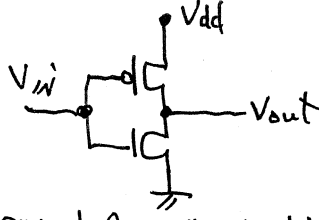
1中75



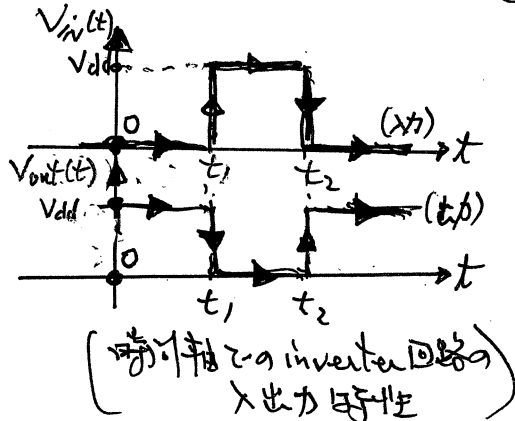
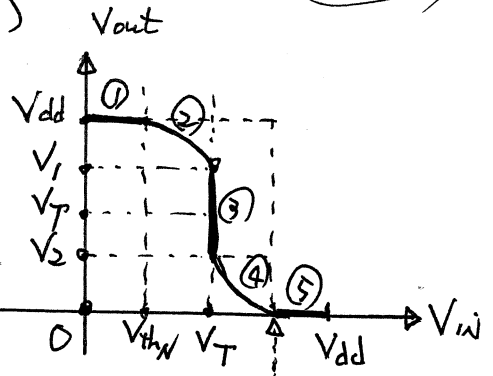
(inverter 回路の記号)

$V_{in}$	$V_{out}$
0	1
1	0

(CMOS Inverter 回路の記号)



(CMOS Inverter 回路の場合には動作 Mode が ⑤ → 存在する。



(時刻軸 t の inverter 回路の入出力特性)

CMOS Inverter の 5 つの動作 Mode

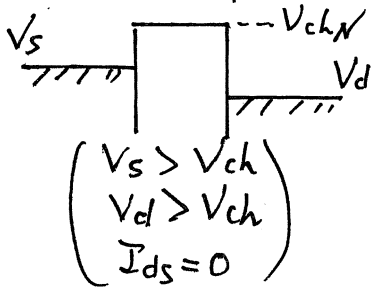
	NMOS	PMOS
Mode ①	off	pass
Mode ②	sat	Linear
Mode ③	sat	sat
Mode ④	Linear	sat
Mode ⑤	pass	off

※ NMOS と PMOS 両方が Linear 動作に同時に入らない!

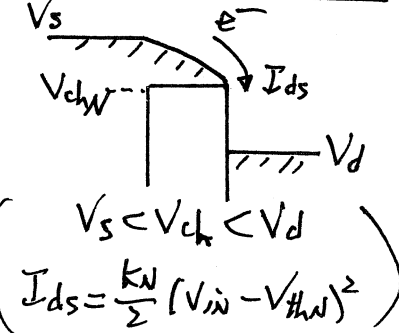
★ NMOS Transistor の 4 つの動作 Mode

$V_{chN} = V_{in} - V_{thN}$  (水門の深さ電圧)

Mode (1) off mode



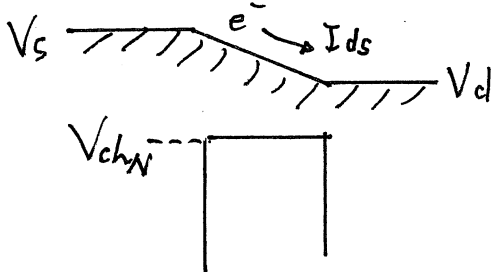
Mode (2) Saturation Mode



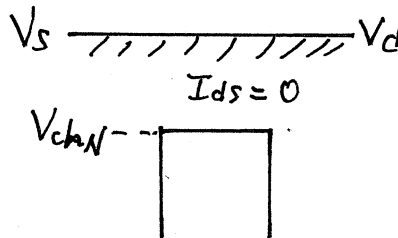
$V_{thN}$  = offset 量 (L さい値電圧)  
(MOS Transistor にかかわるいろいろな物理定数)

$K_n = \left(\frac{W}{L}\right) \left(\frac{\mu_0 \epsilon_{SiO_2}}{d}\right)$

Mode (3) Linear Mode



Mode (4) Pass Mode



$W$  = MOS Transistor の Gate 幅  
 $L$  = Gate 長  
 $d$  = Gate 酸化膜の厚さ  
 $\mu_0$  = 電子の移動度  
 $\epsilon_{SiO_2}$  = 酸化膜の誘電率

$I_{ds} = (K_n) (V_d - V_s) \left\{ (V_{in} - V_{thN}) - \frac{(V_d + V_s)}{2} \right\}$

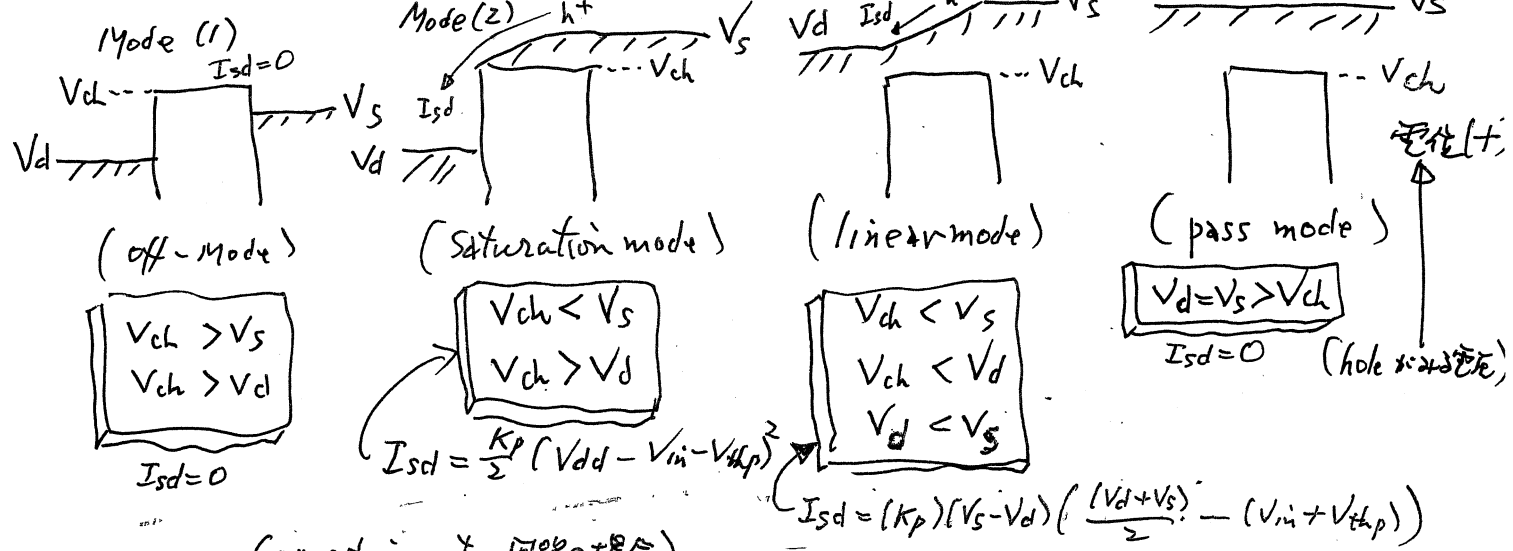
$v = \mu_0 E$   
(電子の速度は電界 E に比例する)

$C_0 = \frac{\epsilon_{SiO_2} A}{d}$

( $V_{thN}$  = NMOS Transistor の L さい値電圧。入力 Gate の電圧が  $V_{in}$  とき、実際には、水門の深さは、offset 量 ( $V_{thN}$ ) ぶんある。)

コンデンサは、面積 A 比例し、金属平行板の Gap (すき間) の距離 d に反比例する。

PMOS Transistor に 4 つの Mode がある。



(CMOS inverter 回路の場合)

NMOS と PMOS の入力 Gate 電圧を共通にする。  
 NMOS と PMOS 両方が linear mode にある事は無い。

① NMOS が linear mode の条件は、

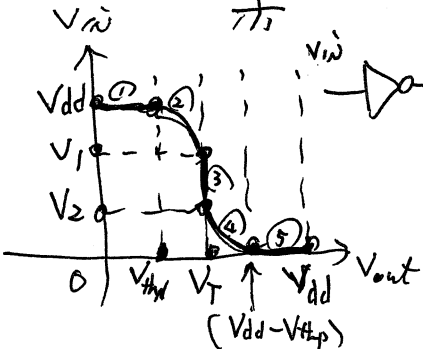
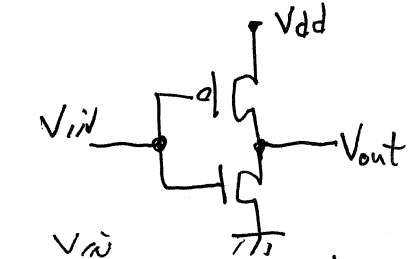
$$V_{ch,n} > V_{out} > 0 \quad (1)$$

$$V_{ch,n} = V_{in} - V_{th,n}$$

② PMOS が linear mode の条件は、

$$V_{dd} > V_{out} > V_{ch,p} > 0$$

$$V_{ch,p} = V_{in} - V_{th,p}$$



③ 条件 (1) と (2) が同時に成り立つと、  
 $(V_{dd} > V_{out} > V_{ch,p} > 0, V_{ch,n} > V_{out} > 0)$  となる。

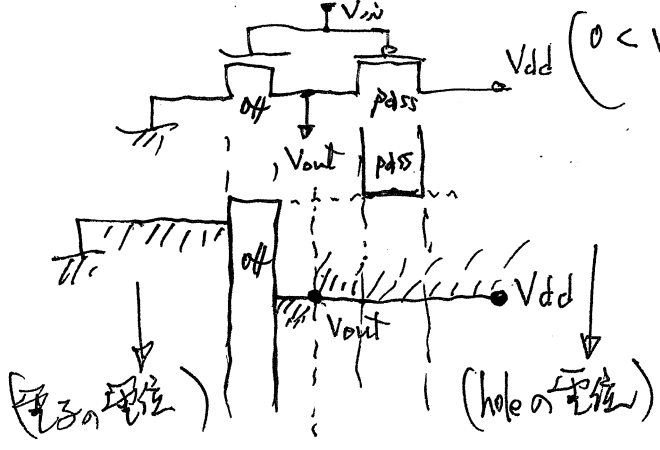
ただし、 $V_{dd} \approx 3 \sim 5 \text{ volt}$  くらい。

$V_{ch,p} \approx V_{ch,n} \approx 0.5 \sim 1 \text{ volt}$  となる。  $V_{dd} > V_{out} > V_{ch,p} \approx V_{ch,n} > V_{out} > 0$  となる。

これはより詳しい事であります。

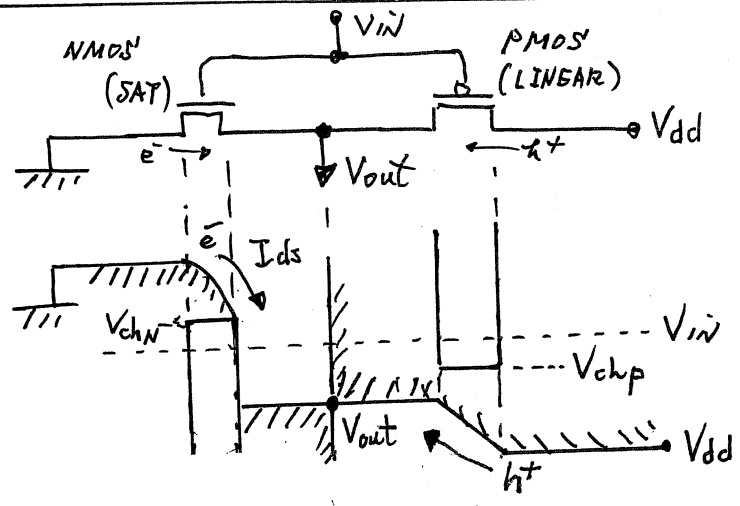
NMOS と PMOS が同時に Linear Mode にある事は無い。

④ CMOS inverter 回路の mode (1) の場合。



$(0 < V_{in} < V_{th,n}$  の場合、NMOS は off Mode、PMOS は pass mode で  $V_{out} = V_{dd}$ )  
 この図では、電子が低い電位に、hole が高い電位を合致させた状態です。  
 電子が低い「水」を正常にするとき、hole の高い「水」はそれ以上に揚げる必要が有ります。

② CMOS Inverter 回路の mode ② の場合



NMOS (saturation mode)

$$V_{chN} = V_{in} - V_{thN} < V_{out}$$

$$I_{ds} = \frac{k_N}{2} (V_{in} - V_{thN})^2$$

PMOS (linear mode)

$$V_{chp} = V_{in} + V_{thp} < V_{out}$$

$$I_{sd} = (k_p)(V_{dd} - V_{out}) \left( \left( \frac{V_{dd} + V_{out}}{2} \right) - (V_{in} + V_{thp}) \right)$$

①  $I_{ds} = I_{sd}$  より、 $V_{out}$  の値を  $V_{in}$  の関数として求める!

$$I_{ds} = \frac{k_N}{2} (V_{in} - V_{thN})^2 = (k_p)(V_{dd} - V_{out}) \left( \left( \frac{V_{dd} + V_{out}}{2} \right) - (V_{in} + V_{thp}) \right)$$

$$\left( \frac{k_N}{k_p} \right) (V_{in} - V_{thN})^2 = (V_{dd} - V_{out}) \left( (V_{dd} + V_{out}) - 2(V_{in} + V_{thp}) \right)$$

$$\left( \frac{k_N}{k_p} \right) (V_{in} - V_{thN})^2 = V_{dd}^2 - V_{out}^2 - 2(V_{dd} - V_{out})(V_{in} + V_{thp})$$

$$V_{out}^2 - 2V_{out}(V_{in} + V_{thp}) = V_{dd}^2 - 2V_{dd}(V_{in} + V_{thp}) - \left( \frac{k_N}{k_p} \right) (V_{in} - V_{thN})^2$$

$$(V_{out} - (V_{in} + V_{thp}))^2 = (V_{in} + V_{thp})^2 + V_{dd}^2 - 2V_{dd}(V_{in} + V_{thp}) - \left( \frac{k_N}{k_p} \right) (V_{in} - V_{thN})^2$$

$$V_{out} = (V_{in} + V_{thp}) + \sqrt{(V_{dd} - (V_{in} + V_{thp}))^2 - \left( \frac{k_N}{k_p} \right) (V_{in} - V_{thN})^2}$$

**for  $V_{thN} < V_{in} < V_T$ , Mode ②**

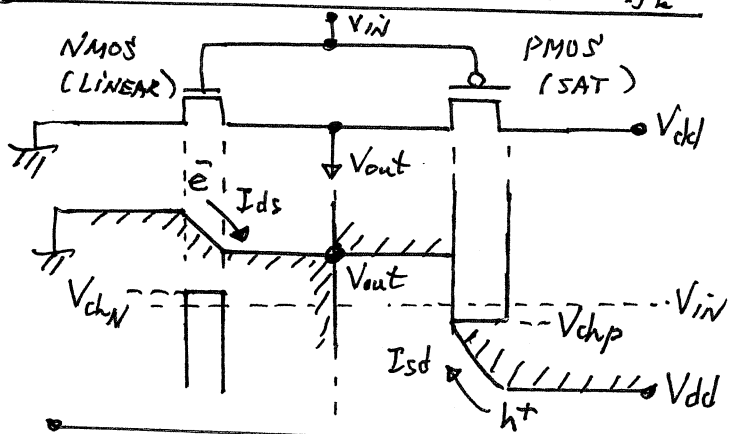
**$V_{out} = (V_{in} + V_{thp}) + \sqrt{(V_{dd} - V_{in} - V_{thp})^2 - \left( \frac{K_N}{K_P} \right) (V_{in} - V_{thN})^2}$**

$V_{out}(t)$

$$V_T = \frac{V_{dd} + \sqrt{\frac{K_N}{K_P} V_{thN} - V_{thp}}}{1 + \sqrt{\frac{K_N}{K_P}}}$$

$$V_1 = V_T + V_{thp} \quad V_2 = V_T - V_{thN}$$

④ CMOS Inverter 回路の mode ④ の導出



NMOS (Linear Mode)

$$V_{chN} = V_{in} - V_{thN} > V_{out}$$

$$I_{ds} = (k_N) (V_{out}) \left( (V_{in} - V_{thN}) - \frac{V_{out}}{2} \right)$$

PMOS (Saturation Mode)

$$V_{chP} = V_{in} + V_{thP} > V_{out}$$

$$I_{sd} = \left( \frac{k_P}{2} \right) (V_{dd} - (V_{in} + V_{thP}))^2$$

①  $I_{ds} = I_{sd}$  として、 $V_{out}$  の値を  $V_{in}$  の関数として求める。

$$(V_{out}) \left( 2(V_{in} - V_{thN}) - V_{out} \right) = \left( \frac{k_P}{k_N} \right) (V_{dd} - (V_{in} + V_{thP}))^2$$

$$(V_{out} - (V_{in} - V_{thN}))^2 = (V_{in} - V_{thN})^2 - \left( \frac{k_P}{k_N} \right) (V_{dd} - (V_{in} + V_{thP}))^2$$

$$V_{out} = (V_{in} - V_{thN}) - \sqrt{(V_{in} - V_{thN})^2 - \left( \frac{k_P}{k_N} \right) (V_{dd} - (V_{in} + V_{thP}))^2}$$

When  $V_{in} = V_{dd} - V_{thP}$ ,  $V_{out} = 0$  となる。また、 $V_{in} = V_T$  の時、 $V_{out}$  は信号の逆の値がゼロの時、 $V_{out} = V_T - V_{thN} = V_2$  となる。 $V_2 = V_T - V_{thN}$  となる。

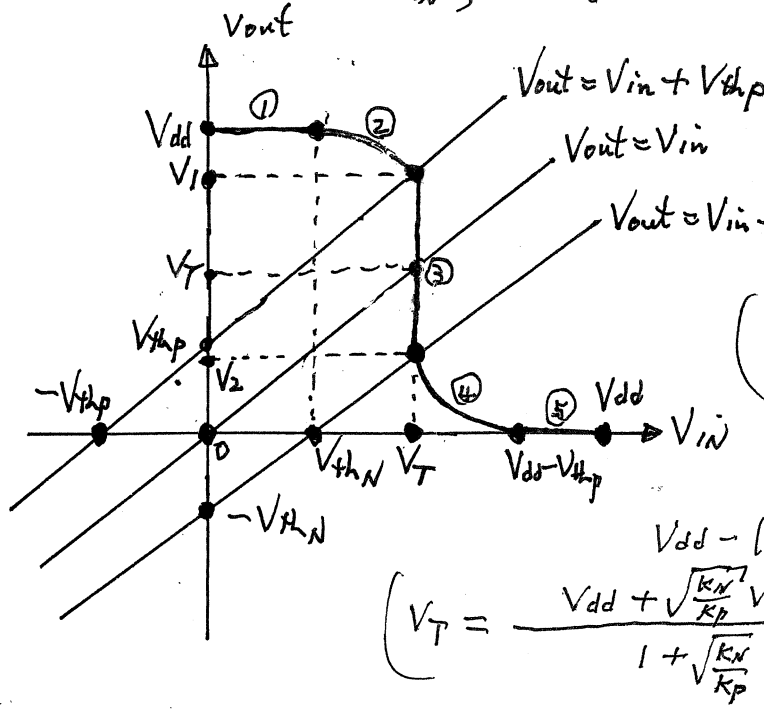
**for  $V_T < V_{in} < V_{dd} - V_{thP}$  , Mode ④**

**$V_{out} = (V_{in} - V_{thN}) + \sqrt{(V_{in} - V_{thN})^2 - \left( \frac{K_P}{K_N} \right) (V_{dd} - V_{in} - V_{thP})^2}$**

$$V_T = \frac{V_{dd} + \sqrt{\frac{K_N}{K_P} V_{chN} - V_{thP}}}{1 + \sqrt{\frac{K_N}{K_P}}}$$

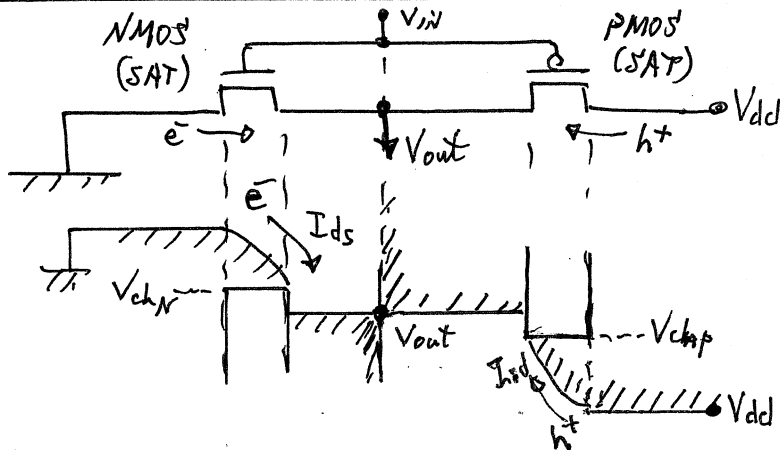
$$V_1 = V_T + V_{thP} \quad V_2 = V_T - V_{thN}$$

② When  $V_{in} = V_{thN}$ ,  $V_{out} = V_{dd}$  とする。



$V_{in}$  の値が  $V_{thN}$  より大きければ、NMOS が ON (saturation mode) になり、電流  $I_{ds}$  が流れ出し、 $V_{out}$  の値は減少を始める。  
 $V_{in}$  が増加すると、 $V_{out} = V_{out}(V_{in})$  の上式の根号の中のはじめはとんとんと減少し、いずれゼロになる。  
 この時の  $V_{in}$  の値を  $V_T$  とすると、 $V_{in} = V_T$  となり、 $V_{out} = V_{in} + V_{thp} = V_T + V_{thp} = V_1$  となる。  
 ここで、 $V_{in} = V_T$  として、  
 $(V_{dd} - (V_T + V_{thp}))^2 = (\frac{k_N}{k_p})(V_T - V_{thN})^2$  となり、  
 $V_{dd} - (V_T + V_{thp}) = \sqrt{\frac{k_N}{k_p}}(V_T - V_{thN})$  とする、  
 $(V_T = \frac{V_{dd} + \sqrt{\frac{k_N}{k_p}}V_{thN} - V_{thp}}{1 + \sqrt{\frac{k_N}{k_p}}})$  を得る。

③ CMOS Inverter 回路の mode ③ の場合



NMOS (saturation mode)  
 $V_{chN} = V_{in} - V_{thN} < V_{out}$   
 $I_{ds} = \frac{k_N}{2} (V_{in} - V_{thN})^2$

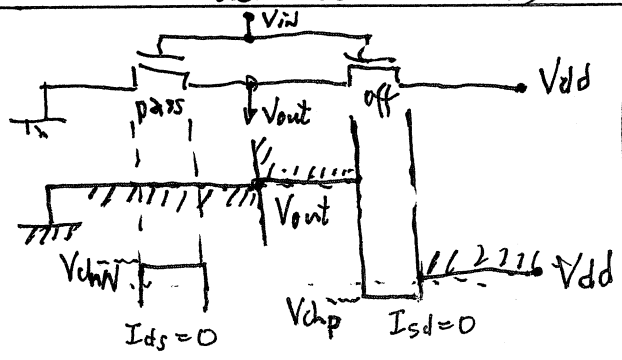
PMOS (saturation mode)  
 $V_{chp} = V_{in} + V_{thp} > V_{out}$   
 $I_{sd} = \frac{k_p}{2} (V_{dd} - (V_{in} + V_{thp}))^2$

( $I_{ds} = I_{sd}$  として、 $k_N (V_{in} - V_{thN})^2 = k_p (V_{dd} - (V_{in} + V_{thp}))^2$  とする。これは、mode ②) の場合の  $V_{out}$  の値で、根号の中のはじめがゼロとなる条件と同じである!!

$$V_{in} = V_T = \left( \frac{V_{dd} + \sqrt{\frac{k_N}{k_p}}V_{thN} - V_{thp}}{1 + \sqrt{\frac{k_N}{k_p}}} \right) \text{ とする。}$$

mode ③ とするのは、 $V_{in} = V_T$  の時のみである事が確認できる。

⑤ CMOS Inverter 回路の mode ⑤ の場合



$V_{dd} > V_{in} > V_{dd} - V_{thp}$  の時、  
 $V_{chp} = V_{in} + V_{thp} > V_{dd}$  となり、  
 PMOS は off となり  $I_{sd} = 0$ 。  
 NMOS は pass (導通状態) で、  
 $V_d(\text{NMOS}) = V_s(\text{NMOS}) = V_{out}$  となり  $I_{ds} = 0$