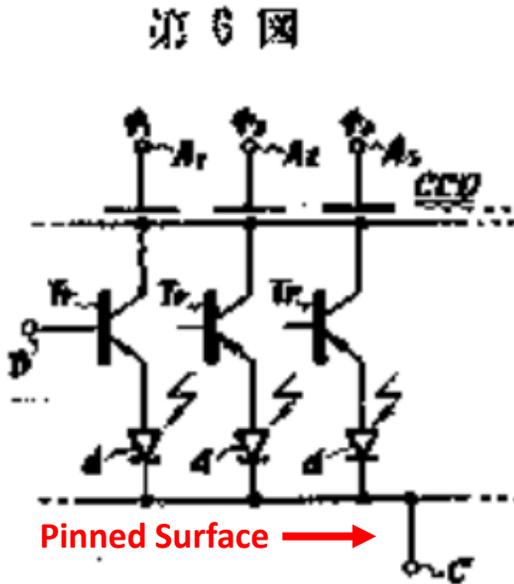
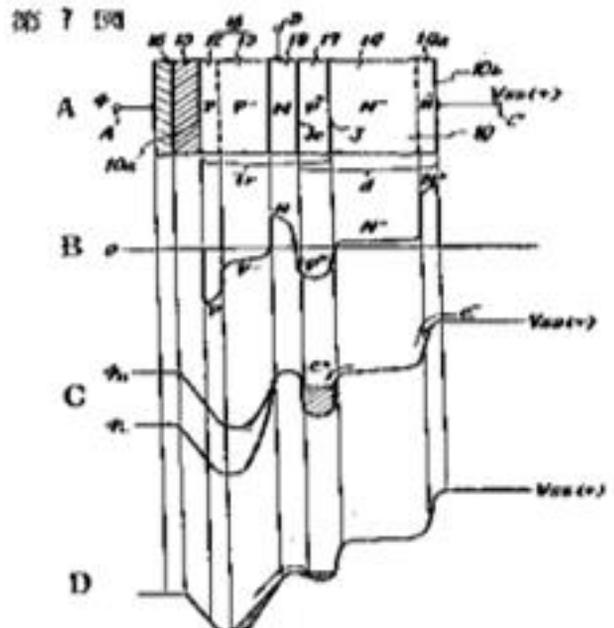


**Japanese Patent Application JPA 1975-127646**  
**applied on October 23, 1975 by Yoshiaki Hagiwara at Sony**  
**on the N+NP+NP-P triple junction Pinned Buried Photodiode**

**Fig. 6 of JPA1975-127646**



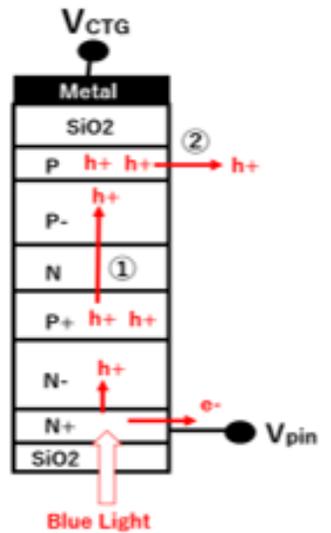
**Fig. 7 of JPA1975-127646**



**Patent Claims of JPA1975-127646**

**特許請求の範囲**

半導体基体の一方の主面側に、絶縁膜を介して電荷転送用電極が被着配列される1の帯電領域が形成され、之に対向し且つ之より上記半導体基体の他方の主面側に上記帯電領域との間に他の導電型のベース領域を介して受光領域が形成され、上記ベース領域に所定電圧を印加することにより上記受光領域に蓄積した電荷を上記帯電領域に転送し、上記電荷転送用電極に所定のクロック電圧を印加して電荷の転送を行うようにしたことを特徴とする固体撮像装置。



**English Translation of Patent Claims of JPA1975-127646**

“An array of charge transfer gates is formed on the oxide layer of a semiconductor substrate (Nsub). The first charge transfer region (P1) is formed under the oxide layer. There is a base gating region (N) between the first region (P1) and the second photo charge collecting region (P2) which is formed in the substrate (Nsub). By proper gating clocks (1), the photo charge is drained to the surface region (P1) from the second region (P2) and subsequently transferred along the semiconductor surface by another proper clocks (2).”

🔍 簡易検索

▶ ヘルプ

特許・実用新案、意匠、商標について、キーワードや番号を入力してください。検索対象は  コチラ をご覧ください。  
分類・日付等での詳細な検索をされる場合は、メニューから各検索サービスをご利用ください。

四法全て  特許・実用新案  意匠  商標

自動絞り込み ?

1975-127646

🔍 検索

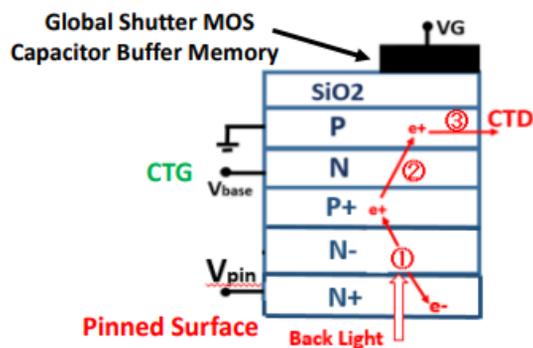
出願番号 ▲	公開番号 ▲	公告番号 ▲	登録番号 ▲	審判番号
特願昭50-127646	<a href="#">特開昭52-051815</a>	-	-	-

## Japanese Patent 1975-127646

**N+NP+NP junction Dynamic Photo Thyristor type Buried Pinned Photodiode with Built-in MOS Capacitor Buffer Memory Global Shutter Function and the surface N+N doping slope Barrier Electric Field Photo Pair Generation**

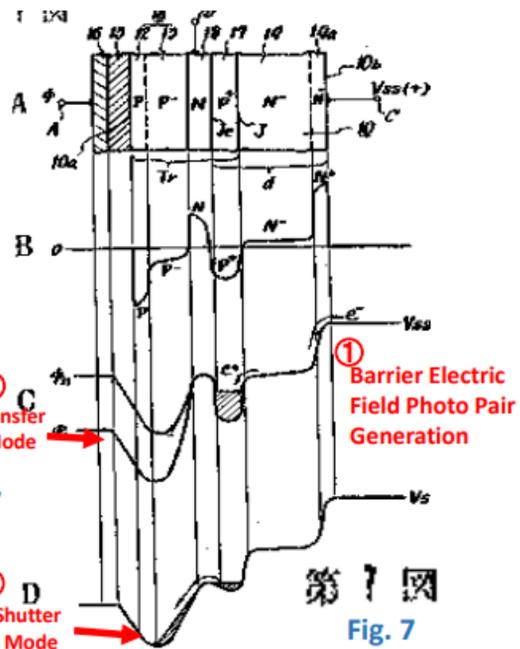
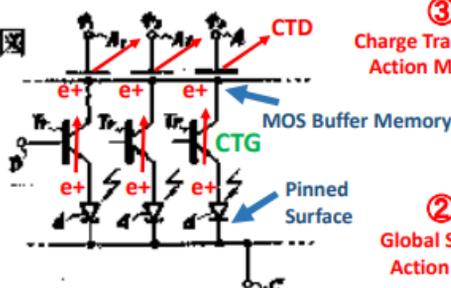
## Japanese Patent 1975-127646

**N+NP+NP junction type Buried Pinned Photodiode with Built-in MOS Capacitor Buffer Memory Global Shutter Function and the surface N+N doping slope Barrier Electric Field Photo Pair Generation**



第6図

Fig. 6



第7図

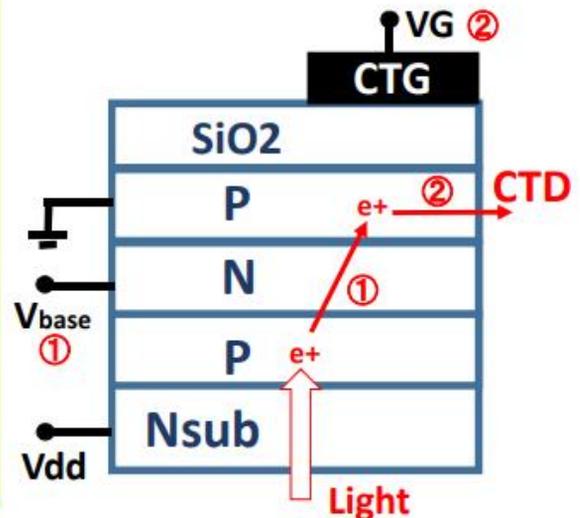
Fig. 7

## Patent Claim in English Translation

- (1) Along the front surface of a semiconductor substrate (Nsub),
- (2) the charge transfer gate (CTG) is placed upon the oxide,
- (3) whereby a first region (P) is formed for charge transfer
- (4) On the opposite side of this region (P),
- (5) on the back side of the semiconductor substrate (Nsub),
- (6) in between the region (P) for charge transfer,
- (7) a base region (N) of another doping is formed.
- (8) Nearby, a photo sensing region (P) is formed.
- (9) By applying a proper clock pulse<sup>①</sup> to the charge transfer gate (CTG), to the base region (N),
- (10) The electronic charge (e<sup>+</sup>), which is stored in the photo sensing region (P),
- (11) is transferred to the charge transfer region (P).
- (12) By applying a proper clock pulse<sup>②</sup> to the charge transfer gate (CTG),
- (13) the charge is further transferred in the adjacent CTD.
- (14) So defined solid state image sensor with the features described above is in the scope of the patent claim.

File 1975-127646 Filed 1975/10/23  
Public 1975-051815 Public 1977/04/26

## Buried Pinned Photodiode Patent invented by Hagiwara in 1975 with built-in Global Shutter Function and Back Light Illumination Scheme

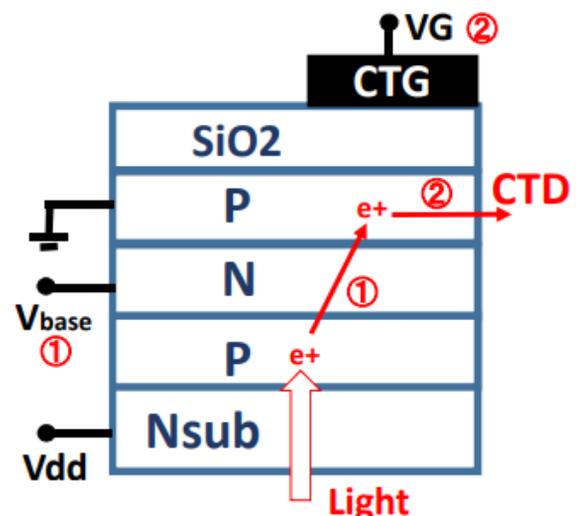


## 昭50-127646 特許の特許請求範囲の原文

- (1) 半導体基体 (Nsub) の一方の主面側に、
- (2) 絶縁膜を介して電荷転送用電極 (CTG) が被着配列される
- (3) 1 の導電型の転送領域 (P) が形成され、
- (4) 之 (P) に対向し
- (5) 且つ之より上記半導体基体 (Nsub) の他方の主面側に
- (6) 上記転送領域 (P) との間に
- (7) 他の導電型のベース領域 (N) を介して
- (8) 受光領域 (P) が形成され、
- (9) 上記ベース領域に所定電圧<sup>①</sup>を印加することにより
- (10) 上記受光領域に蓄積した電荷 (e<sup>+</sup>) を
- (11) 上記転送領域 (P) に転送し、
- (12) 上記電荷転送用電極 (CTG) に指定のクロック電圧<sup>②</sup>を印加して
- (13) 電荷の転送を行うようにしたことを
- (14) 特徴とする固体撮像装置

File 1975-127646 Filed 1975/10/23  
Public 1975-051815 Public 1977/04/26

## Buried Pinned Photodiode Patent invented by Hagiwara in 1975 with built-in Global Shutter Function and Back Light Illumination Scheme





(4,000円) 印 許

### 特 許 願 (5)

昭和60年11月27日

特許庁長官 齋藤英雄

1. 発明の名称 **固体撮像装置**
2. 発明者  
住 所 神奈川県横浜市保土ヶ谷区新保町303-159
3. 特許出願人  
氏 名 萩原 直 昭  
住 所 神奈川県アパート402号室

東京都品川区北品川6丁目7番35号  
218) ヲニ一株式会社  
代表者 盛田 昭夫

4. 代理人 西 160

住 所 東京都新宿区西新宿1丁目8番1号 (新西ビル)  
TEL東京 (03) 343-5821 (代電)

氏 名 (3389) 井筒士 伊 藤

5. 添付書類の目録

- |           |     |
|-----------|-----|
| (1) 明 細 書 | 1 通 |
| (2) 図 面   | 1 通 |
| (3) 請求書   | 1 通 |
| (4) 委任状   | 1 通 |

50 127640



⑩ 日本国特許庁

## 公開特許公報

①特開昭 52-51815

③公開日 昭52(1977) 4.26

②特願昭 50-127646

②出願日 昭50(1975)10.23

審査請求 未請求 (全6頁)

序内整理番号

6940 59  
6655 57

②日本分類

97001  
9700342

⑤ Int. Cl.

H04N 5/30  
H01L 31/00

識別  
記号

### 明 細 書

発明の名称 固体撮像装置

#### 特許請求の範囲

半導体基体の一方の主面側に、絶縁膜を介して電荷転送用電極が被覆配列される1の導電膜の転送領域が形成され、之に対向し且つ之より上記半導体基体の他方の主面側に上記転送領域との間に絶縁膜のベース領域を介して受光領域が形成され、上記ベース領域に所定電圧を印加することにより上記受光領域に蓄積した電荷を上記転送領域に転送し、上記電荷転送用電極に所定のクロック電圧を印加して電荷の転送を行うようにしたことを特徴とする固体撮像装置。

#### 発明の詳細な説明

本発明は、電荷転送素子CCDを用いた固体撮像装置に係わる。

CCDを用いた固体撮像装置としてはフレームトランスファ方式によるもの、或いはインターラプトランスファ方式によるものが提案されている。

フレームトランスファ方式による固体撮像装置は、図1図に示す如く撮像部(2)と、蓄積部(3)と、水平シフトレジスタ(4)とから成る。撮像部(2)は夫々転送電極を有する転送部が例えば垂直方向に配列され、1つ置き又は2つ置きの転送電極を組として2相又は3相の転送クロック電圧が印加されて、各電極間又は各電極を通じて受光した光量に応じて各部に生じた電荷を例えば垂直方向に溝合リ転送部へとシフトして行くようにしたCCD(1)が複数列配列されて成る。又、蓄積部(3)は、受光はなされないようにするが撮像部(2)を構成するCCD(1)に対応するCCD(1)が設けられて成る。そして、撮像部(2)の各部に生じた撮像光学像に対応した電荷パターンを、例えばテレビジョン映像に於いては、その撮像消去期間で、順次垂直方向にシフトさせて蓄積部(3)へと転送させ、この蓄積部(3)に一見電荷パターンを蓄積し、その後シフトレジスタ(4)に蓄積部(3)の各行の電荷を順次転送部らシフトし、シフトレジスタ(4)の出力端子よりこの電荷による撮像信号をとり出すものである。

ところがこの方式による撮像装置では、撮像消去期間という極めて短い時間で、撮像部(2)の各行の電荷をシフトさせて蓄積部(3)へと転送させるものであるから、この撮像部(2)から蓄積部(3)への転送クロックの周波数は8MHzという高い周波数となつてしまう。したがつてそのノイズは大となり回路構成が複雑になるという欠点がある。又、上述の撮像部(2)、蓄積部(3)、水平シフトレジスタ(4)は共通の半導体基体に並置配列されるので全体の面積が大となる。又、その受光は各転送電極間成いは電極を通じて行われるので、その受光効率が低いとか、受光感度、特に短波長側の受光感度が落ちるなどの欠点がある。

一方、インターライントランスファ方式による撮像装置は、第2図に示す如く夫々結果となる複数の島状受光部(5)が行及び列方向に配列され、各受光部(5)に隣り合つて、共通の列上の受光部(5)に隣り合つて共通のCCD(1)より成る垂直シフトレジスタ(6)が配され、これらシフトレジスタ(6)の一端には共通の同様にCCD(1)より成る水平シフトレ

ジスタ(7)が設けられ撮像せんとする光学像に依じたパターン<sup>(8)</sup>の電荷を受光部(5)に得、この電荷を隣合うシフトレジスタ(6)に撮像消去期間に於いて転送し、その後シフトレジスタ(6)の各転送部に転送された電荷をシフトレジスタ(7)に転送し、この電荷に依じた撮像信号を出力端子より順次得るものである。

このような構成による場合、撮像消去期間に各受光部(5)に対応して隣合つて設けられシフトレジスタ(6)にその電荷を転送するのみで例えば垂直方向へのシフトを必要としないので前述したフレームトランスファ方式による場合のように高い周波数のクロックを用いる必要がないという利点を有するが、この場合に於ても各受光部(5)とシフトレジスタ(6)とが並置配列されていることによつて全体の面積が比較的大となるという欠点がある。

本発明は、このような欠点を解消した固体撮像装置を提供せんとするものである。

即ち、本発明に於いては、半導体基体の一主面に並進みチャンネル形のCCD構成を有する新

造領域を形成し、他方の主面側に受光領域を形成し、結果となる受光領域とこれに対応する転送領域との間に夫々トランジスタを介する構造となして之等のトランジスタのベースに所定の転送電圧を印加することによつて受光領域に生じた撮像せんとする光学像による電荷を転送領域に移す。この受光領域から転送領域への電荷の転送は直接的に行われるものであつて、前述したフレームトランスファ方式による場合のような高い周波数の転送クロックを必要とするものではない。

第3図ないし第6図を参照して、本発明によるPチャンネル形の並進みチャンネル形のCCD構成を有する固体撮像装置の一例を詳細に説明するに、半導体基体、例えばシリコン基体層を設ける。この半導体基体(10)はその一主面(10a)側に並進みCCDが形成され、之に対向して之より他方の主面(10b)側に受光領域が形成される。

並進みCCDは、基体(10)の主面(10a)側に面して形成されたN形のチャンネルストップ領域(11)によつて区分されて夫々主面(10a)に沿つて一方、例えば列方向(垂直方向)に延長する帯状のP形

の比較的高い不純物濃度、例えば $2 \times 10^{16}/\text{cm}^3$ の半導体領域(12)と、之の下にこの領域(12)下の全域に亘つて同様にP形を有するも領域(12)に比し低い不純物濃度、例えば $10^{15}/\text{cm}^3$ を有するP形の半導体領域(13)とが形成され所要の間隔を保持して形成された複数の転送領域(14)が平行配列されて成る。基体(10)の主面(10a)には、例えばSiO<sub>2</sub>より成る電極膜層が被覆され、この絶縁膜層を介して各転送領域(14)上之等転送領域(14)を横切る方向即ち行方向(水平方向)に延長する転送電極(15)が複数必要の間隔を保持して形成される。

一方、受光領域は、各転送領域(14)下に、即ち、各転送領域(14)より基体(10)の他方の主面(10b)側に、言い換へれば、基体(10)の厚さ方向側に、各転送領域(14)と各転送電極(15)との交差部に対向して夫々島状のP形の電荷蓄積領域(16)がN形のベース領域と異なる半導体層(17)を介して形成され、更に各領域(16)と隣して基体(10)の主面(10b)側にN形の共通の半導体層(18)が形成されて之と各領域(16)との間に夫々PN接合Jが形成されるようになる。電荷蓄積領

領域は例えば  $10^{20}/\text{cm}^3$  オーダーの高い不純物濃度  
に選定される。又、N形の半導体層10は、その領域  
と接する部分は比較的低い不純物濃度例えば  
 $10^{18}/\text{cm}^3$  オーダーの半導体層より構成するも、  
必要に応じて主面(10b)側の裏面にN形の高濃度  
例えば  $10^{20}/\text{cm}^3$  オーダーの高濃度層(19a)を形成  
し得る。又、各電荷蓄積領域10間間ち各転送領域  
10間に向向する部分と、各転送電極10間に向向す  
る部分とに導子状に蓄積領域10と同導電形を有す  
るも、領域10に比し十分低い不純物濃度、例えば  
 $10^{18}/\text{cm}^3$  のオーダーのP形の電荷の蓄積を回避  
する領域10を形成する。

チャンネルストップ領域10とベース領域とな  
る半導体層10は互に連続するようになす。又、ベ  
ース領域10より之に所定の電圧を印加するための  
端子Bを導出する。これがため例えば第4図に示  
す如くチャンネルストップ領域10上に電極10を  
オーミックに被着し、端子Bを導出する。

又、揃合う2つ置きの転送電極10を相互に接続  
して之等3組の電極10の共通の端子A1、A2、A3に

る。

そして、この構成で、総素となる各フォトダイ  
オードdに撮像せんとする光学像を与えたことによ  
つて生じた電荷を、トランジスタTrの共通の  
ベース端子Bに負の所定電圧即ちトランジスタTr  
のエミッタ・ベース間接合Jeを順バイアスとする  
電圧を与えることによつて、CCDの各転送部に  
転送する。この転送は例えばテレビジョン映像に  
於ける撮像前期間に於て行ひ。そして、爾後は  
各CCDに於てその各転送電極端子A1、A2、A3  
に転送クロック電圧を与えることによつて各転送  
部の電圧を順次揃合う転送部へと転送し、例えば  
第2図で説明した水平シフトレジスタ(7)へと移送  
させるものである。そして、このCCDに於ける  
電荷の転送時にはフォトダイオードdに於て次の  
受光がなされている。

更に、本発明装置の動作を第7図を参照して説  
明すると、第7図Aに示す第3図中A-A線の断  
面に対応する不純物濃度の分布は第7図Bに示す  
如くなる。今、この断面に於ての受光状態即ち

3組のクロックφ1、φ2、φ3を印加するようになる。

そして、基体10の裏面(10b)側より受光するよ  
うになす。

このような構成による固体撮像装置は、基体10  
の一方の面(10a)側に夫々転送領域10に關し、共  
通の複数の転送電極10が絶縁膜10を介して夫々被  
着された複数の蓄込みチャンネルのCCDが形成  
される。そして、各CCDに關し第6図にその導  
回路を示すように、CCDの、その転送領域10  
上に絶縁膜10を介して各転送電極10が被着され  
た部分即ち各転送部に對照して、夫々領域10と共通  
の半導体層10との間に形成された各PN接合Jよ  
り成るフォトダイオードdが、夫々領域10をエミ  
ッタ領域とし半導体層10を共通のベース領域とし  
転送領域10をコレクタ領域とするPNP形トラン  
ジスタTrを介して接続された構成となる。

このような構成による本発明装置に於て、フォ  
トダイオードdの共通のカソード即ち半導体層10  
の端子Cには、正の固定電位V<sub>set</sub>例えば接地電位  
を与えてフォトダイオードdに逆バイアスを与え

CCDに於ける電荷を転送している状態のポテン  
シヤル状態をみると、第7図Cに示す如くなる。  
φ<sub>1</sub>及びφ<sub>2</sub>は転送電極10に対する転送クロックの  
高電位レベルと低電位レベルを示す。この状態  
ではベース端子B即ち半導体層10には、ほぼ零電位  
又は正の電圧が与えられ、接合Jeが逆バイアス  
状態となり、そのエミッタ領域10はポテン  
シヤルの井戸が生じている。したがつてこの状  
態で撮像光学像に於けた受光をなすと、受光量に  
応じて接合Jの近傍に発生したキャリア即ちホー  
ル及び電子のうち、電子は端子C側に流れて消滅  
するが、ホールは蓄積領域10に拡散し、こゝに蓄  
積される。

次にこの状態から端子Bに負の電位を与えて接  
合Jeに順バイアスを与える。この時、電極10に  
はクロック電位に比し十分低い電位レベル、即ち  
負の十分大なる電圧を与える。かくすると、領域  
10に蓄積されていた電荷、即ちホールは、第7図  
Dに示す如くCCDの転送領域10へと転送される。  
そして、この状態から再び第7図Cの状態とさ

れこの状態で受光がなされると共に、第7図Dで説明した転送領域に転送された電荷は電極部と与えられるクロックによる電圧 $V_{\text{H}}$ ～ $V_{\text{L}}$ によつて第7図に於いて紙面と垂直する方向に通常の埋込みチャンネル形のCCDに於けると同様に転送されていく。

この場合、転送領域部に於て之に信号電荷が到来しても常に之が空乏化されているように、又その電荷が基体表面(10a)に達することがないように領域部の表面には高濃度領域部が配され、且つベース領域部の不純物濃度はその多数キャリア量が領域部を構成する両領域部及び部に於ける多数キャリアの量に對応するように比較的高く過げられる。

上述したように本発明装置によれば、基体部の裏面(10b)側から受光をなし、表面(10a)側のCCDで転送するようになるもので、受光部と転送部とは基体部の厚み方向に云わば立体的に構成されるので、全体の面積の縮小化をはかることができ、ひいては受光部の面積の増大化がはかれる

電荷を積層領域部を行及び列方向に所長の間隔を保持して配列すると共に、各領域部間の全域に、即ち各領域部と接し、且つ之等をとり囲むように格子状に、領域部と同導電性を有するもこの領域部に比し十分低い不純物濃度例えば $10^{15}/\text{cm}^3$ の領域部をイオン注入法、或いは拡散法によつて選択的に領域部と同程度の濃さに形成する。

次に第8図Bに示す如くサブストレイト部の、領域部及び部を有する面上にN形の不純物濃度が $10^{17}/\text{cm}^3$ 程度のシリコン層より成るベース領域となる半導体層部を形成する。この層部の形成は例えば、先ずサブストレイト部上に十分低い不純物濃度のシリコン層を $1\mu\text{m}$ 程度の厚さにエピタキシャル成長する。この時、このエピタキシャル層中にP形の領域部及び部よりの不純物が拡散して各P形の領域部及び部がエピタキシャル層に少しく喰込む如く広がるが、このエピタキシャル層のP形領域部及び部が入り込まない表面部分にN形の不純物をイオン注入法或いは拡散によつてドーブしてN形の半導体層部を形成する。或いはこの半導

ので、受光効率を上げることができる。又、従来のようにその受光を例えば多結晶シリコンより成る転送電極を通じて行うようなことを可能できるので、多結晶シリコンを通じて受光する場合に比し特に短波長側に於ける受光感度の向上をはかることができるものである。又、受光領域からCCD部への転送はベース層部Bに例えば増幅消去期間に於いて1パルスを与えるのみで行うことができるので第1図に於いて説明したフレームトランスファ方式に於けるMHzとというような高い周波数の転送クロックの周波数を用いる必要もない。

次に、更に本発明装置の理解を容易にするために、第8図を参照して上述した本発明装置を斜る製法の一例をその工程順に説明しよう。

先ず、第8図Aに示す如く例えば厚さが $150\sim 300\mu\text{m}$ の、不純物濃度が約 $10^{15}/\text{cm}^3$ のN形のシリコンサブストレイト部を用意し、その一方の面に約 $2\mu\text{m}$ の深さを以つてP形の不純物を夫々イオン注入、或いは拡散法によつて選択的にドーブして不純物濃度が $10^{20}/\text{cm}^3$ 程度の極度の島状の

体層部をそのエピタキシャル成長に際してN形の不純物をドーブして形成することもできる。次いで、この層部上に十分低い不純物の半導体例えばシリコン層部を $2\sim 4\mu\text{m}$ の厚さにエピタキシャル成長して基体部を構成する。

そして、第8図Cに示す如く半導体層部に先に形成した領域部と対向して転送領域部を構成するP形の領域部と之の上と同様にP形の領域部とを夫々拡散法或いはイオン注入法等によつて形成し、之等領域部間に半導体層部に達する深さをもつてN形のチャンネルストップ領域部を例えば $10^{15}/\text{cm}^3$ の不純物濃度を以つて選択的に同様に拡散法或いはイオン注入法等によつて形成する。この場合各領域部及び部の選択的拡散或いはイオン注入は図示しないが半導体層部上に形成した $\text{SiO}_2$ 等をマスクとして用いて行い、之等領域部及び部の形成後には、第7図Dに示す如くこのマスク層を除去し、半導体層部上に、即ち基体部の面(10a)上に例えば $\text{SiO}_2$ より成る絶縁層部をあらためて形成し、之の上で転送電極部を平行配列する。そして、

サブストレイト部をその真面よりその周辺部を狭して中央部の動作領域部分をエッチングしてその厚みを10～15 $\mu$ mとし、この薄い部分のサブストレイト部によつて前述したダイオードdの共通のカソード領域即ち各電荷蓄積領域dとの間にPN接合Jを形成するN形の半導体層dを形成する。このように周辺部の厚みは大にし、動作部のみを小さくするとき、全体の機械的強度を保持しつつ受光効率を高めることができる。

第9図は本発明装置の他の例を示すもので、この図に於いて第3図ないし第5図と対応する部分には同一符号を付して重複説明を省略するが、この例ではトランジスタTrのエミッタ領域dにL-H接合Jを形成すべくそのベース領域dに低濃度領域(17a)を形成し、之とは反対側に高濃度領域(17b)を形成した場合である。このようにエミッタ領域dにL-H接合J即ちエミッタ領域dに於ける少数キャリアに対するポテンシャルバリアを形成するとき、ベース領域dからエミッタ領域dに注入されたキャリアがこのポテン

シャルバリアによつて押し戻されることによつてこの領域dに於ける少数キャリアの拡散電流を小さくすることができ、このトランジスタTrの電流増幅率の向上をはかることができることになる。

尚、上述した本発明装置の各例に於て、そのサブストレイト部即ち半導体基体dの半導体層dの表面に高不純物濃度(19a)を設けるときは、表面再結合の防止を行うことができる利益がある。又、図示しないが基体dの面(10b)側にSiO<sub>2</sub>層のようにその屈折率が基体dと空気との中間の値を有する層を被覆することによつてこの表面の反射防止を行つて受光効率の向上をはかることができる。

又、上述した各例に於て端子Cに負の電位を与えることによつて領域dの蓄積電荷を適量減衰させ光量調整を行うようにすることもできる。

尚、上述した各例はP形の埋込みチャンネル形CCD構成とした場合であるが、N形の埋込みチャンネル形CCDに本発明を適用して同様の効果を得ることができるとは明らかであり、この場合に於ては各図に於ける各部の導電形と電圧の極

性を反転させればよい。

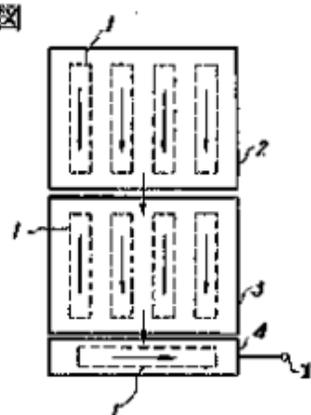
図面の簡単な説明

第1図及び第2図は従来の固体撮像装置の構成図、第3図は本発明装置の一例の要部の拡大上面図、第4図及び第5図はそのA-A線上及びB-B線上の拡大断面図、第6図はその等価回路図、第7図はその説明図、第8図は本発明装置の製造の一例の工程図、第9図は本発明装置の他の例の要部の断面図である。

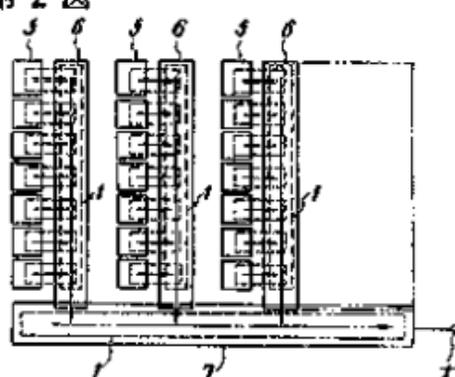
10は半導体基体、(10a)及び(10b)はその両主面、11は駆送領域、12はその高不純物濃度領域、13はその低不純物濃度領域、14はベース領域となる半導体層、15はエミッタ領域となる電荷蓄積領域、16は半導体層、17は駆送電極、18は駆送電極である。

特許出願人 ソニー株式会社  
代理人 伊藤 貞

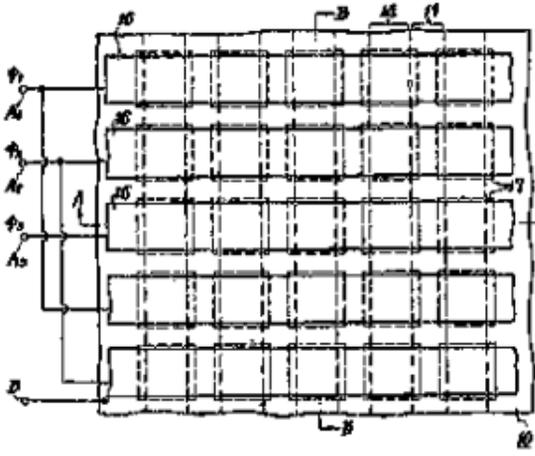
第1図



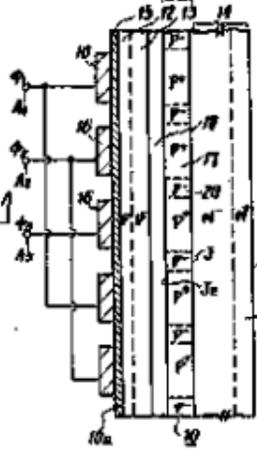
第2図



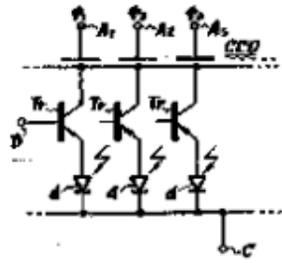
第3図



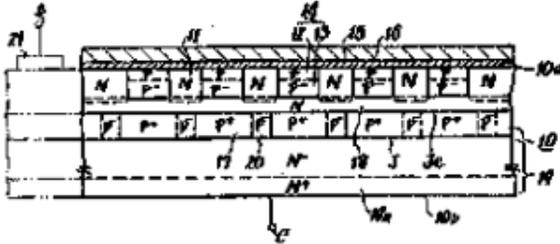
第5図



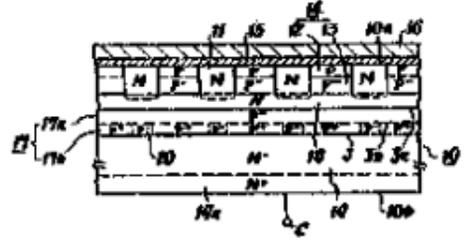
第6図



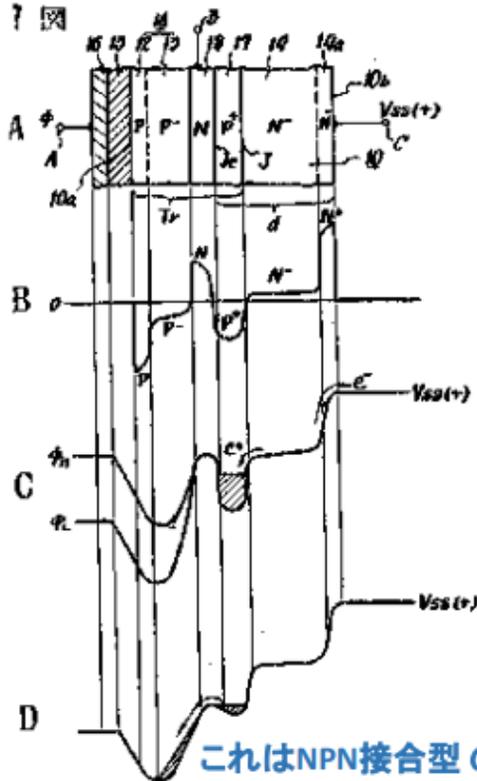
第4図



第9図

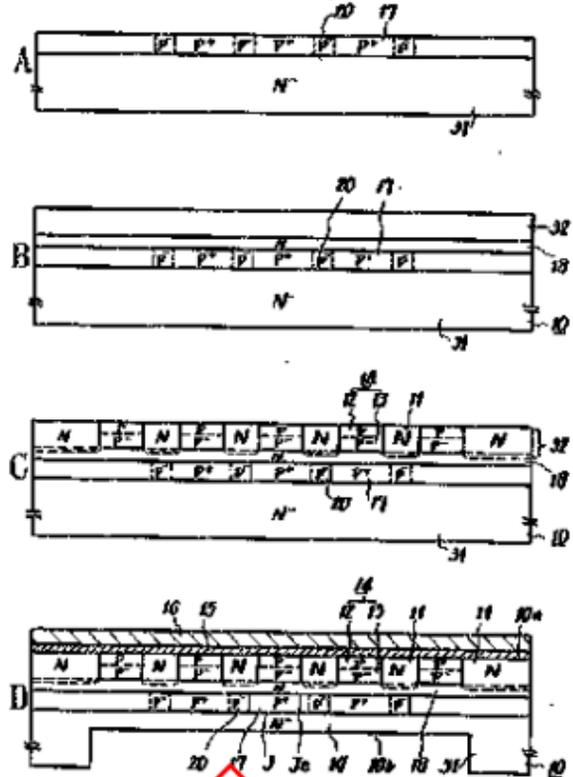


第7図



これはNPN接合型の  
Pinned Photo Diode  
の発明である。

第8図



↑ Back Light

これは表面照射の発明でもある。

Japanese Patent Application JPA 1975-127646  
applied on October 23, 1975 by Yoshiaki Hagiwara at Sony  
on the N+NP+NP-P triple junction Pinned Buried Photodiode

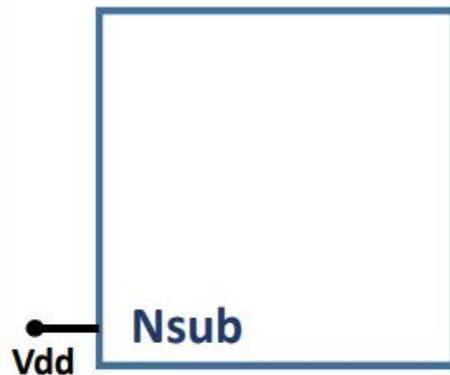
Patent Claim in English Translation

(1) Along the front surface of  
a semiconductor substrate (Nsub),

File 1975-127646 Filed 1975/10/23  
Public 1975-051815 Public 1977/04/26

(1) 半導体基体 (Nsub) の一方の  
主面側に、

(1)



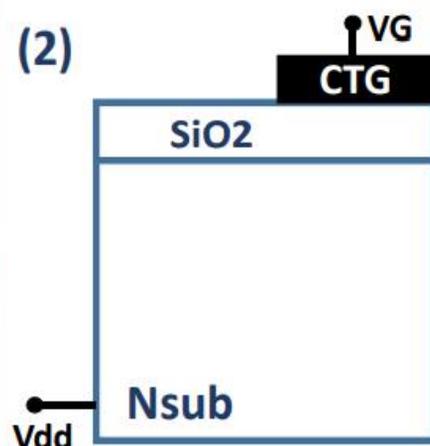
Patent Claim in English Translation

(1) Along the front surface of  
a semiconductor substrate (Nsub),  
(2) the charge transfer gate (CTG)  
is placed upon the oxide.

File 1975-127646 Filed 1975/10/23  
Public 1975-051815 Public 1977/04/26

(2) 絶縁膜を介して電荷転送用電極  
(CTG) が被着配列される

(2)



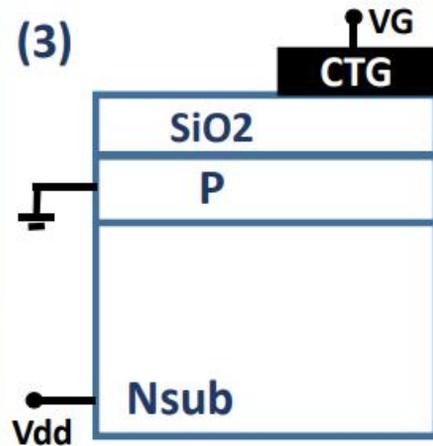
**Japanese Patent Application JPA 1975-127646  
 applied on October 23, 1975 by Yoshiaki Hagiwara at Sony  
 on the N+NP+NP-P triple junction Pinned Buried Photodiode**

**Patent Claim in English Translation**

- (1) Along the front surface of a semiconductor substrate (Nsub),
- (2) the charge transfer gate (CTG) is placed upon the oxide,
- (3) whereby a first region (P) is formed for charge transfer

File 1975-127646 Filed 1975/10/23  
 Public 1975-051815 Public 1977/04/26

- (3) 1の導電型の転送領域 (P)が形成され、

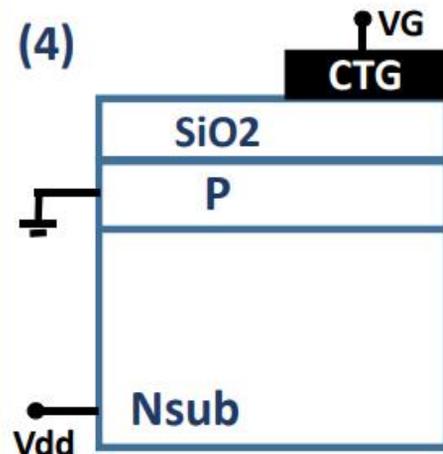


**Patent Claim in English Translation**

- (1) Along the front surface of a semiconductor substrate (Nsub),
- (2) the charge transfer gate (CTG) is placed upon the oxide,
- (3) whereby a first region (P) is formed for charge transfer
- (4) On the opposite side of this region (P),

File 1975-127646 Filed 1975/10/23  
 Public 1975-051815 Public 1977/04/26

- (4) 之 (P) に対向し



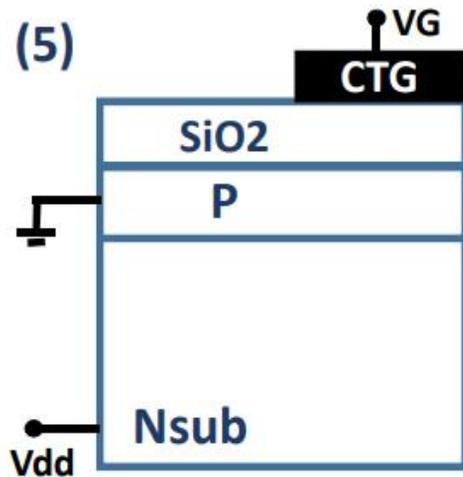
**Japanese Patent Application JPA 1975-127646**  
**applied on October 23, 1975 by Yoshiaki Hagiwara at Sony**  
**on the N+NP+NP-P triple junction Pinned Buried Photodiode**

**Patent Claim in English Translation**

- (1) Along the front surface of a semiconductor substrate (Nsub),
- (2) the charge transfer gate (CTG) is placed upon the oxide,
- (3) whereby a first region (P) is formed for charge transfer
- (4) On the opposite side of this region (P),
- (5) on the back side of the semiconductor substrate (Nsub),

File 1975-127646 Filed 1975/10/23  
 Public 1975-051815 Public 1977/04/26

- (5) 且つ之より上記半導体基体 (Nsub) の他方の主面側に

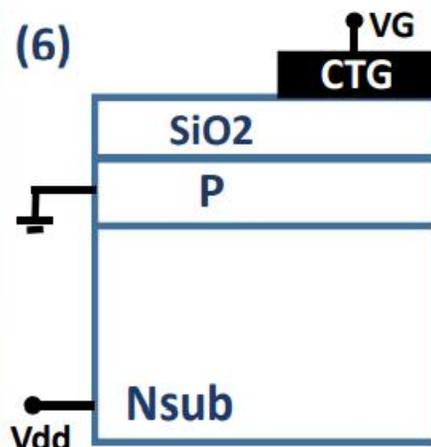


**Patent Claim in English Translation**

- (1) Along the front surface of a semiconductor substrate (Nsub),
- (2) the charge transfer gate (CTG) is placed upon the oxide,
- (3) whereby a first region (P) is formed for charge transfer
- (4) On the opposite side of this region (P),
- (5) on the back side of the semiconductor substrate (Nsub),
- (6) in between the region (P) for charge transfer,

File 1975-127646 Filed 1975/10/23  
 Public 1975-051815 Public 1977/04/26

- (6) 上記転送領域 (P) との間に



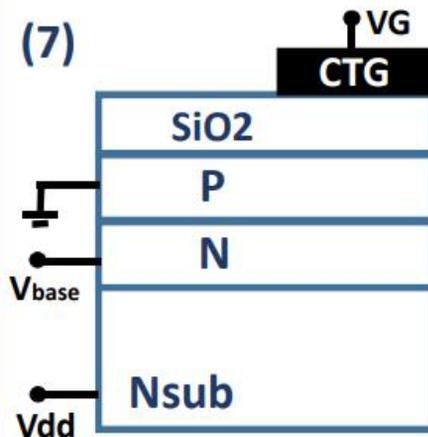
**Japanese Patent Application JPA 1975-127646  
 applied on October 23, 1975 by Yoshiaki Hagiwara at Sony  
 on the N+NP+NP-P triple junction Pinned Buried Photodiode**

**Patent Claim in English Translation**

- (1) Along the front surface of a semiconductor substrate (Nsub),
- (2) the charge transfer gate (CTG) is placed upon the oxide,
- (3) whereby a first region (P) is formed for charge transfer
- (4) On the opposite side of this region (P),
- (5) on the back side of the semiconductor substrate (Nsub),
- (6) in between the region (P) for charge transfer,
- (7) a base region (N) of another doping is formed.

File 1975-127646 Filed 1975/10/23  
 Public 1975-051815 Public 1977/04/26

(7) 他の導電型のベース領域 (N) を介して

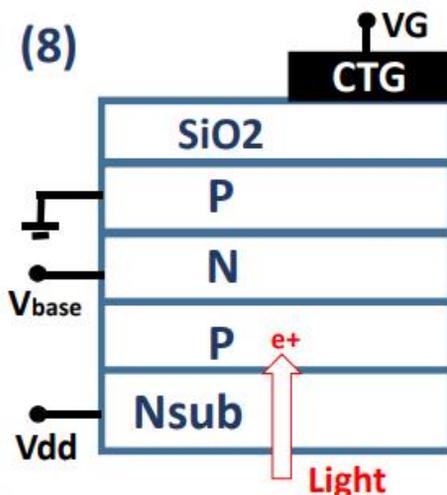


**Patent Claim in English Translation**

- (1) Along the front surface of a semiconductor substrate (Nsub),
- (2) the charge transfer gate (CTG) is placed upon the oxide,
- (3) whereby a first region (P) is formed for charge transfer
- (4) On the opposite side of this region (P),
- (5) on the back side of the semiconductor substrate (Nsub),
- (6) in between the region (P) for charge transfer,
- (7) a base region (N) of another doping is formed.
- (8) Nearby, a photo sensing region (P) is formed.

File 1975-127646 Filed 1975/10/23  
 Public 1975-051815 Public 1977/04/26

(8) 受光領域 (P) が形成され、



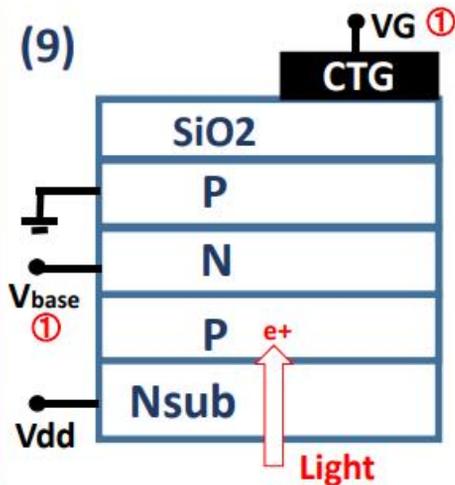
**Japanese Patent Application JPA 1975-127646**  
**applied on October 23, 1975 by Yoshiaki Hagiwara at Sony**  
**on the N+NP+NP-P triple junction Pinned Buried Photodiode**

**Patent Claim in English Translation**

- (1) Along the front surface of a semiconductor substrate (Nsub),
- (2) the charge transfer gate (CTG) is placed upon the oxide,
- (3) whereby a first region (P) is formed for charge transfer
- (4) On the opposite side of this region (P),
- (5) on the back side of the semiconductor substrate (Nsub),
- (6) in between the region (P) for charge transfer,
- (7) a base region (N) of another doping is formed.
- (8) Nearby, a photo sensing region (P) is formed.
- (9) By applying a proper clock pulse<sup>①</sup> to the charge transfer gate (CTG), to the base region (N),

File 1975-127646 Filed 1975/10/23  
 Public 1975-051815 Public 1977/04/26

(9) 上記ベース領域に所定電圧<sup>①</sup>を印加することにより

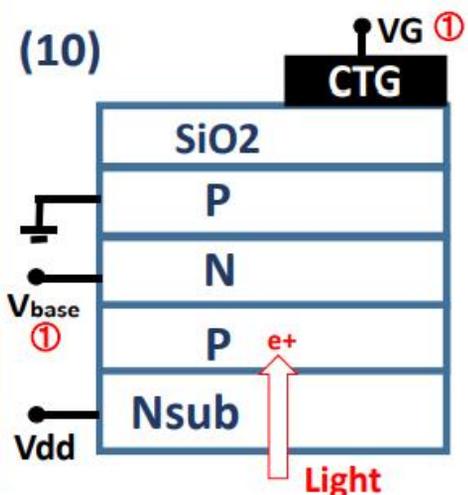


**Patent Claim in English Translation**

- (1) Along the front surface of a semiconductor substrate (Nsub),
- (2) the charge transfer gate (CTG) is placed upon the oxide,
- (3) whereby a first region (P) is formed for charge transfer
- (4) On the opposite side of this region (P),
- (5) on the back side of the semiconductor substrate (Nsub),
- (6) in between the region (P) for charge transfer,
- (7) a base region (N) of another doping is formed.
- (8) Nearby, a photo sensing region (P) is formed.
- (9) By applying a proper clock pulse<sup>①</sup> to the charge transfer gate (CTG), to the base region (N),
- (10) The electronic charge (e<sup>+</sup>), which is stored in the photo sensing region (P),

File 1975-127646 Filed 1975/10/23  
 Public 1975-051815 Public 1977/04/26

(10) 上記受光領域に蓄積した電荷 (e<sup>+</sup>) を



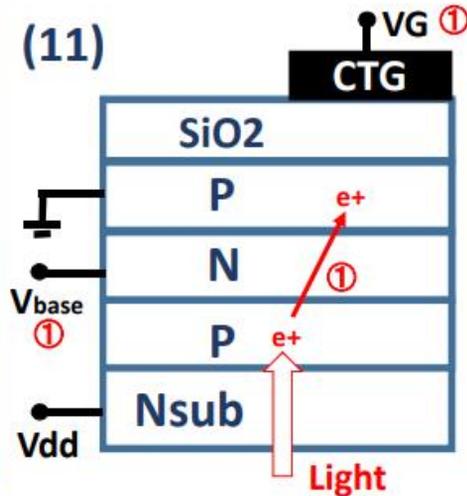
**Japanese Patent Application JPA 1975-127646**  
**applied on October 23, 1975 by Yoshiaki Hagiwara at Sony**  
**on the N+NP+NP-P triple junction Pinned Buried Photodiode**

**Patent Claim in English Translation**

- (1) Along the front surface of a semiconductor substrate (Nsub),
- (2) the charge transfer gate (CTG) is placed upon the oxide,
- (3) whereby a first region (P) is formed for charge transfer
- (4) On the opposite side of this region (P),
- (5) on the back side of the semiconductor substrate (Nsub),
- (6) in between the region (P) for charge transfer,
- (7) a base region (N) of another doping is formed.
- (8) Nearby, a photo sensing region (P) is formed.
- (9) By applying a proper clock pulse ① to the charge transfer gate (CTG), to the base region (N),
- (10) The electronic charge (e<sup>+</sup>), which is stored in the photo sensing region (P),
- (11) is transferred to the charge transfer region (P).

File 1975-127646 Filed 1975/10/23  
 Public 1975-051815 Public 1977/04/26

(11) 上記転送領域 (P) に転送し、

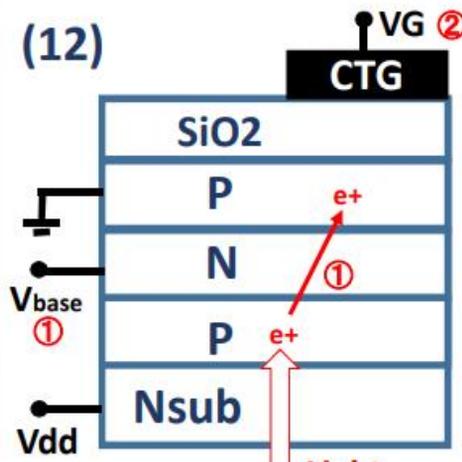


**Patent Claim in English Translation**

- (1) Along the front surface of a semiconductor substrate (Nsub),
- (2) the charge transfer gate (CTG) is placed upon the oxide,
- (3) whereby a first region (P) is formed for charge transfer
- (4) On the opposite side of this region (P),
- (5) on the back side of the semiconductor substrate (Nsub),
- (6) in between the region (P) for charge transfer,
- (7) a base region (N) of another doping is formed.
- (8) Nearby, a photo sensing region (P) is formed.
- (9) By applying a proper clock pulse ① to the charge transfer gate (CTG), to the base region (N),
- (10) The electronic charge (e<sup>+</sup>), which is stored in the photo sensing region (P),
- (11) is transferred to the charge transfer region (P).
- (12) By applying a proper clock pulse ② to the charge transfer gate (CTG),

File 1975-127646 Filed 1975/10/23  
 Public 1975-051815 Public 1977/04/26

(12) 上記電荷転送用電極(CTG)に指定のクロック電圧 ② を印加して



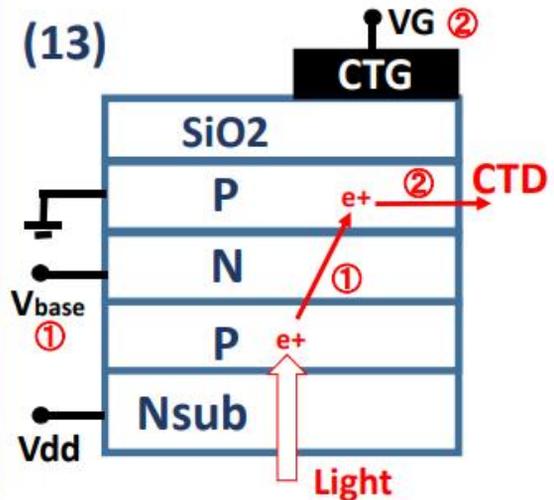
**Japanese Patent Application JPA 1975-127646**  
**applied on October 23, 1975 by Yoshiaki Hagiwara at Sony**  
**on the N+NP+NP-P triple junction Pinned Buried Photodiode**

**Patent Claim in English Translation**

- (1) Along the front surface of a semiconductor substrate (Nsub),
- (2) the charge transfer gate (CTG) is placed upon the oxide,
- (3) whereby a first region (P) is formed for charge transfer
- (4) On the opposite side of this region (P),
- (5) on the back side of the semiconductor substrate (Nsub),
- (6) in between the region (P) for charge transfer,
- (7) a base region (N) of another doping is formed.
- (8) Nearby, a photo sensing region (P) is formed.
- (9) By applying a proper clock pulse<sup>①</sup> to the charge transfer gate (CTG), to the base region (N),
- (10) The electronic charge (e<sup>+</sup>), which is stored in the photo sensing region (P),
- (11) is transferred to the charge transfer region (P).
- (12) By applying a proper clock pulse<sup>②</sup> to the charge transfer gate (CTG),
- (13) the charge is further transferred in the adjacent CTD.

File 1975-127646 Filed 1975/10/23  
 Public 1975-051815 Public 1977/04/26

(13) 電荷の転送を行うようにしたことを

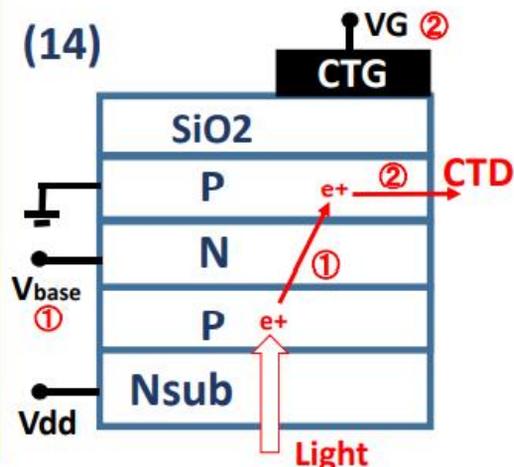


**Patent Claim in English Translation**

- (1) Along the front surface of a semiconductor substrate (Nsub),
- (2) the charge transfer gate (CTG) is placed upon the oxide,
- (3) whereby a first region (P) is formed for charge transfer
- (4) On the opposite side of this region (P),
- (5) on the back side of the semiconductor substrate (Nsub),
- (6) in between the region (P) for charge transfer,
- (7) a base region (N) of another doping is formed.
- (8) Nearby, a photo sensing region (P) is formed.
- (9) By applying a proper clock pulse<sup>①</sup> to the charge transfer gate (CTG), to the base region (N),
- (10) The electronic charge (e<sup>+</sup>), which is stored in the photo sensing region (P),
- (11) is transferred to the charge transfer region (P).
- (12) By applying a proper clock pulse<sup>②</sup> to the charge transfer gate (CTG),
- (13) the charge is further transferred in the adjacent CTD.
- (14) So defined solid state image sensor with the features described above is in the scope of the patent claim.

File 1975-127646 Filed 1975/10/23  
 Public 1975-051815 Public 1977/04/26

(14) 特徴とする固体撮像装置。



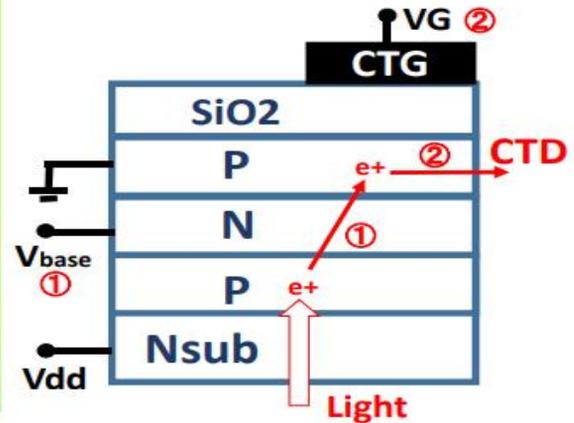
# Japanese Patent Application JPA 1975-127646 applied on October 23, 1975 by Yoshiaki Hagiwara at Sony on the N+NP+NP-P triple junction Pinned Buried Photodiode

## Patent Claim in English Translation

- (1) Along the front surface of a semiconductor substrate (Nsub),
- (2) the charge transfer gate (CTG) is placed upon the oxide,
- (3) whereby a first region (P) is formed for charge transfer
- (4) On the opposite side of this region (P),
- (5) on the back side of the semiconductor substrate (Nsub),
- (6) in between the region (P) for charge transfer,
- (7) a base region (N) of another doping is formed.
- (8) Nearby, a photo sensing region (P) is formed.
- (9) By applying a proper clock pulse<sup>①</sup> to the charge transfer gate (CTG), to the base region (N),
- (10) The electronic charge (e+), which is stored in the photo sensing region (P),
- (11) is transferred to the charge transfer region (P).
- (12) By applying a proper clock pulse<sup>②</sup> to the charge transfer gate (CTG),
- (13) the charge is further transferred in the adjacent CTD.
- (14) So defined solid state image sensor with the features described above is in the scope of the patent claim.

File 1975-127646 Filed 1975/10/23  
 Public 1975-051815 Public 1977/04/26

**Buried Pinned Photodiode Patent**  
 invented by Hagiwara in 1975  
 with built-in Global Shutter Function  
 and Back Light Illumination Scheme

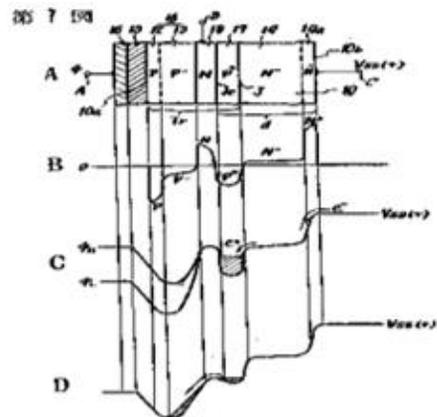


## Patent Claims of JPA1975-127646

Fig. 7 of JPA1975-127646

### 特許請求の範囲

半導体基体の一方の主面側に、絶縁膜を介して電荷転送用電極が後着配列される1の導電型の転送領域が形成され、之に対向し且つ之より上記半導体基体の他方の主面側に上記転送領域との間に他の導電型のベース領域を介して受光領域が形成され、上記ベース領域に所定電圧を印加することにより上記受光領域に蓄積した電荷を上記転送領域に転送し、上記電荷転送用電極に所定のクロック電圧を印加して電荷の転送を行うようにしたことを特徴とする固体撮像装置。



## English Translation of Patent Claims of JPA1975-127646

“An array of charge transfer gates is formed on the oxide layer of a semiconductor substrate (Nsub). The first charge transfer region (P1) is formed under the oxide layer. There is a base gating region (N) between the first region (P1) and the second photo charge collecting region (P2) which is formed in the substrate (Nsub). By proper gating clocks (1), the photo charge is drained to the surface region (P1) from the second region (P2) and subsequently transferred along the semiconductor surface by another proper clocks (2).”