

Pinned Photodiode (Sony original HAD sensor) was invented by Hagiwara in 1975 at Sony

Yamada 1978 at Toshiba
Japanese Patent 1978-1971
NPN Junction Photodiode

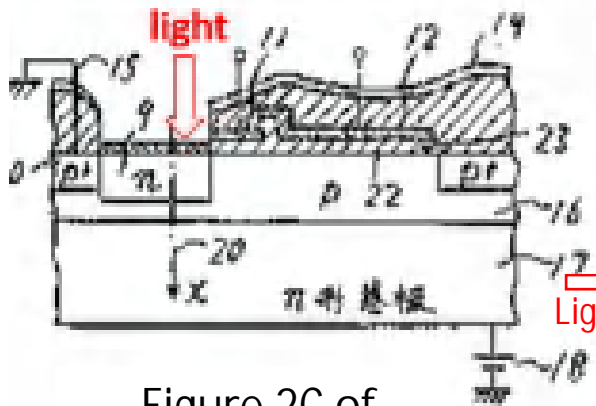
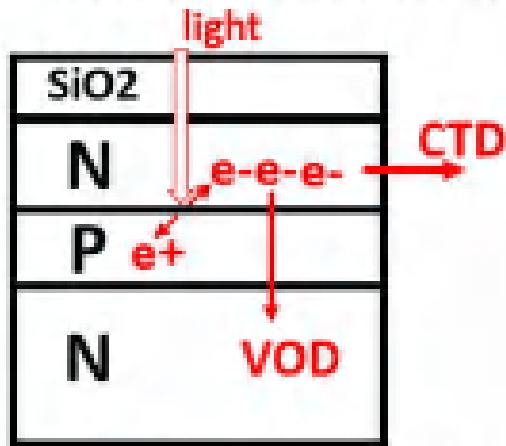
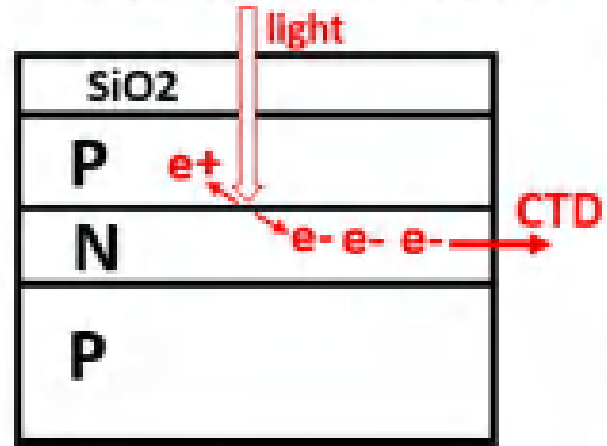


Figure 2C of
Toshiba Japanese Patent
1978-1971

Shiraki&Teranishi 1980 at NEC
Japanese Patent 1980-123259
PNP Buried Photodiode



This is NOT a Pinned Photodiode.

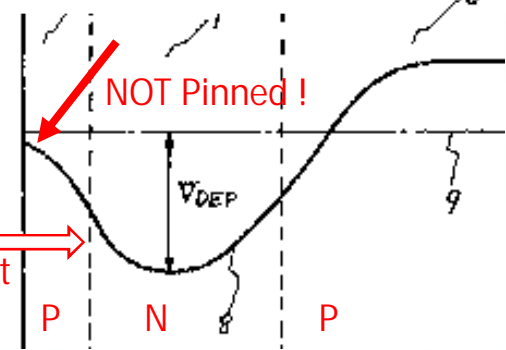


Figure 2 of
NEC Japanese Patent
1980-123259

Hagiwara 1975 at Sony
Japanese Patent 1975-134985
P+NP/Sub Pinned Photodiode

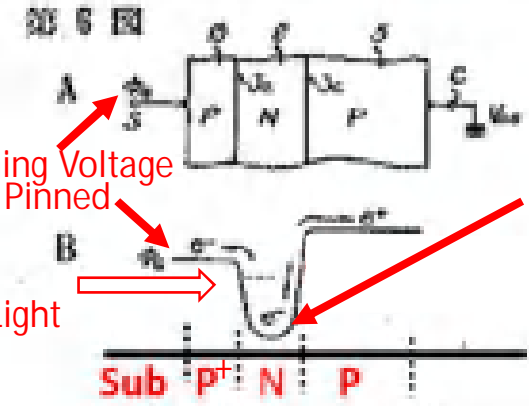
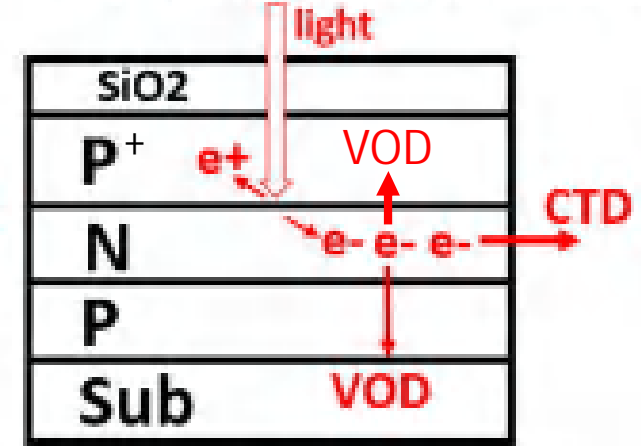


Figure 6 of
SONY Japanese Patent
1980-123259

Empty
Potential
Well for
Complete
Charge
Transfer
Operation

The first publication of a P+NP junction type Pinned Photodiode in 1978 at Tokyo Conference

Proceeding of the 10th Conference on Solid State Devices, Tokyo, 1978; Japanese Journal of Applied Physics, Volume 18(1979) Suuplement 18-1, pp.335-340 "A 388H x 488V CCD Imager with Narrow Channel Transfer Gate" reported by Yoshiaki Daimon-Hagiwara, Motoaki Abe and Chikao Okada

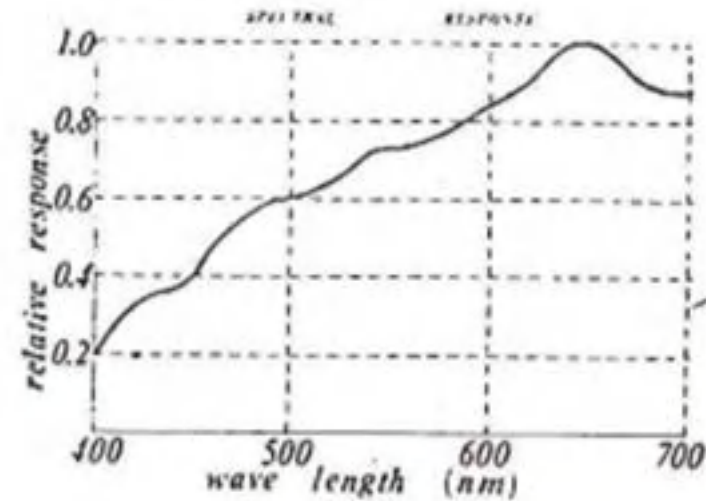
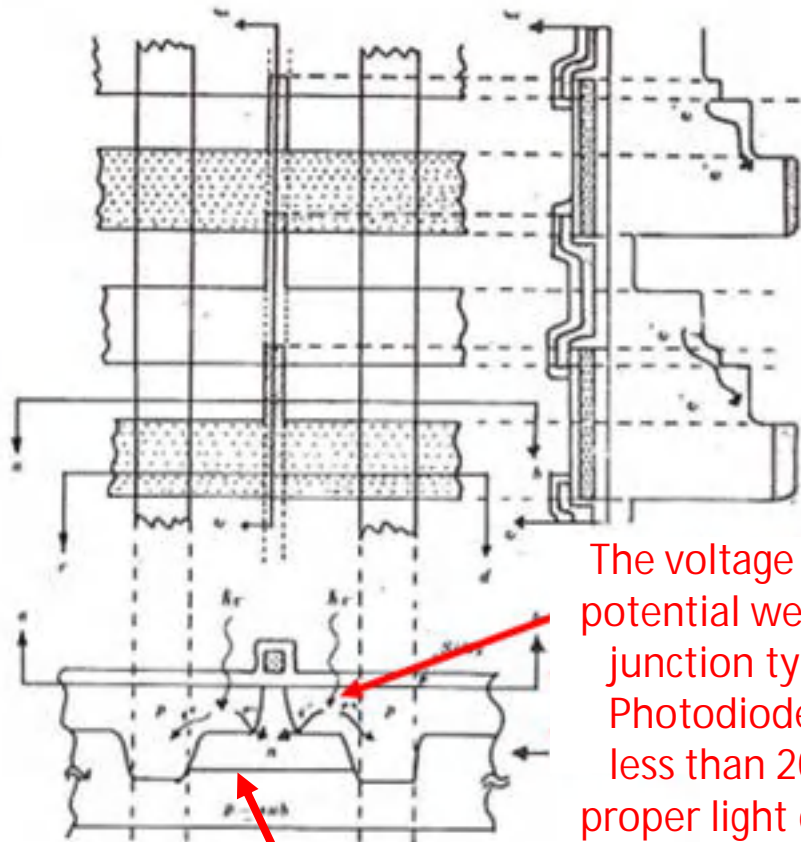
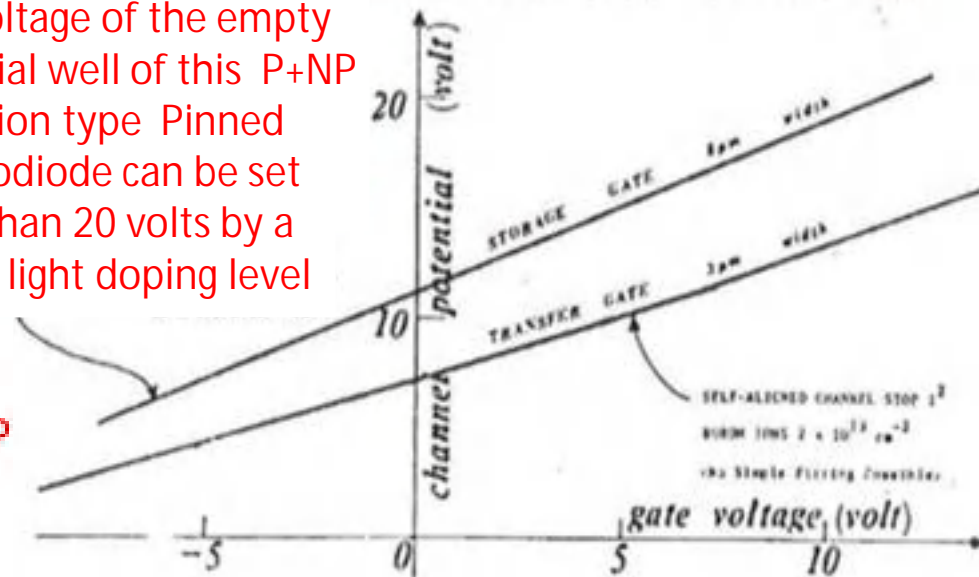
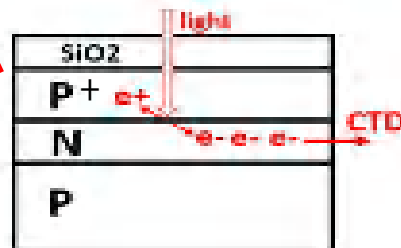


Fig. 18. Spectral Response of the photosensors.

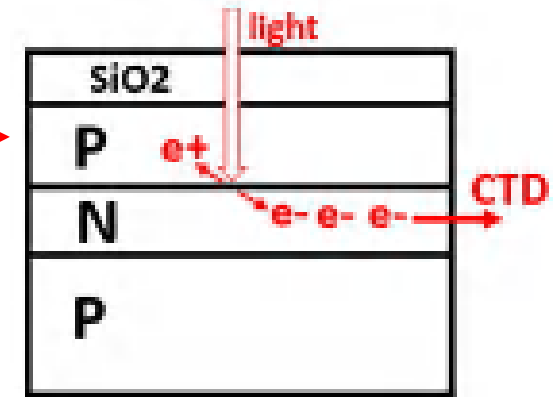
The voltage of the empty potential well of this P+NP junction type Pinned Photodiode can be set less than 20 volts by a proper light doping level

The first publication of a PNP junction type Pinned Photodiode in 1978 at Tokyo, Japan by Hagiwara at Sony



NEC 1980-123259
 Patent on Buried
 Photodiode

NOT Pinned →



The surface can be depleted and not pinned.
 This is NOT a pinned photodiode patent.

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—48261

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 昭和57年(1982)3月19日

H 01 L 27/14

7021—5 F

発明の数 2

29/76

6851—5 F

審査請求 未請求

31/10

7021—5 F

H 04 N 5/30

6940—5 C

(全 5 頁)

⑮ インターライン CCD センサとその駆動方法

⑯ 発明者 寺西信一

東京都港区芝五丁目33番1号日

本電気株式会社内

⑰ 特 願 昭55—123259

⑱ 出 願 昭55(1980)9月5日

⑲ 出 願 人 日本電気株式会社

東京都港区芝5丁目33番1号

⑳ 発 明 者 白木廣光

㉑ 代 理 人 弁理士 内原晋

東京都港区芝五丁目33番1号日

本電気株式会社内

The surface can be depleted and not pinned. This is NOT a pinned photodiode patent.

明 細 書

発明の名称 インターライン CCD センサとその製造方法

特許請求の範囲

1. 一導電形を有する半導体基板上に該半導体基板と反対の導電型を有する第 1 の微小領域とこれに接して形成された前記基板と同一の導電形の第 2 の微小領域とこれらの微小領域を含む前記半導体基板上に形成された絶縁膜上に少くとも 1/2 段以上の電荷転送段とを設けた撮像素子の単位セルにおいて、前記第 1 の微小領域がピンチオフするのに必要な前記基板と前記第 1 の微小領域の間の逆バイアス電圧を V_B 、前記第 2 の微小領域のフェルミレベルとイントリンシクフェルミレベルの差を ϕ_{pp+} としたとき

$$V_B + 2\phi_{pp+} < 30 \text{ ボルト}$$

を満たすように構成されていることを特徴とするインターライン CCD センサ。

2. 一導電形を有する半導体基板上に該半導体基

板と反対の導電型を有する第 1 の微小領域とこれに接して形成された前記基板と同一の導電形の第 2 の微小領域とこれらの微小領域を含む前記半導体基板上に形成された絶縁膜上に少くとも 1/2 段以上の電荷転送段を設けた撮像素子の単位セルにおいて前記第 1 の微小領域がピンチオフするのに必要な前記基板と前記第 1 の微小領域の間の逆バイアス電圧を V_B 、前記第 2 の微小領域のフェルミレベルとイントリンシクフェルミレベルの差を ϕ_{pp+} としたとき

$$V_B + 2\phi_{pp+} < 30 \text{ ボルト}$$

を満たすように構成されたインターライン CCD センサの前記第 2 の領域の表面電位 ϕ_p^+ を

$$V_B + 2\phi_{pp+} < \phi_p^+$$

にすることによって前記微小領域から前記転送段へ電荷を移動することを特徴とするインターライン CCD センサの製造法。

発明の詳細な説明

本発明はイメージセンサ特にインターライン

NEC 1980-123259
Patent on Buried
Photodiode

The surface can be depleted and not pinned. This is NOT a pinned photodiode patent.

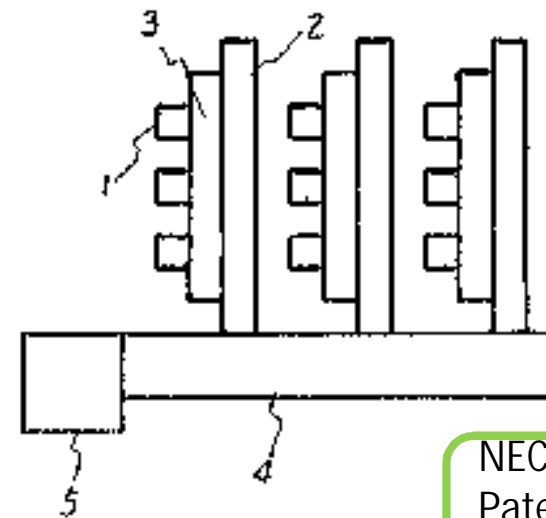
のチャネル部のフェルミ電位と異性フェルミ電位との差 V_{FP} は通常絶対値を用いるので、pチャネルでも絶対値を用いる。基板の内部の空乏化していない部分のフェルミ電位を基準としたトランスフェグートのチャネル電位はnチャネル型の場合は正であり、pチャネル型の場合は負なので、絶対値を用いる。

図面の簡単な説明

第1図は固体画像装置の模式的平面図、第2図と第3図はこの発明のそれぞれ異なる実施例において、帯領域を表面と垂直方向に見たときの電位分布を示した図である。

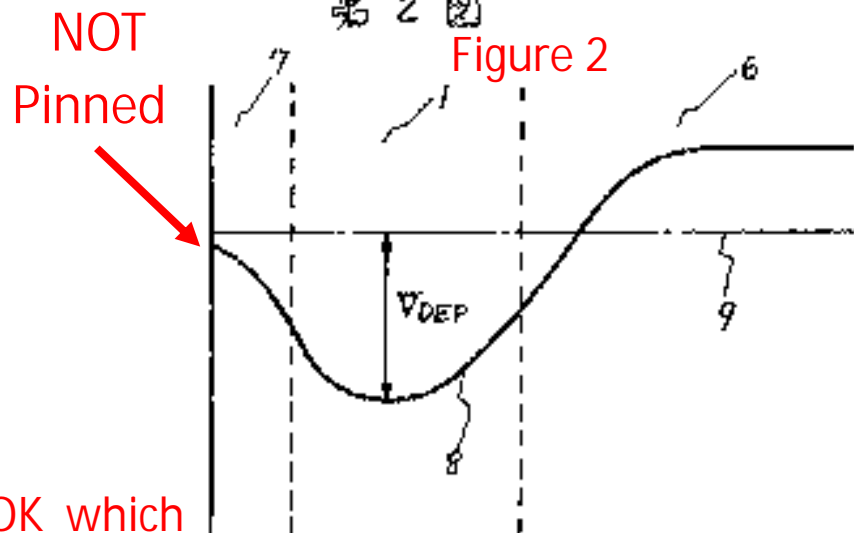
1……帯領域、2……信号電荷転送半波（垂直CCDレジスタ）、3……トランスフェグート、6……基板、7……表面層、9……基板の内部の空乏化していない部分のフェルミ電位、 V_{DEP} ……帯領域が完全に空乏化するのに必要な逆バイアス電圧。

第1図 Figure 1



NEC 1980-123259
Patent on Buried
Photodiode

第2図



This patent claims also that Figure 2 case is OK which means that this is NOT a Pinned Photodiode. This is NOT more than a buried Photodiode.

The surface can be depleted and not pinned. This is NOT a pinned photodiode patent.

のチャネル部のフェルミ電位と真性フェルミ電位との差 V_{FP} は通常絶対値を用いるので、pチャネルでも絶対値を用いる。基板の内部の空乏化していない部分のフェルミ電位を基準としたトランスフェグートのチャネル電位はnチャネル型の場合は正であり、pチャネル型の場合は負なので、絶対値を用いる。

図面の簡単な説明

第1図は固体画像装置の模式的平面図、第2図と第3図はこの発明のそれぞれ異なる実施例において、

帯領域を表面と垂直方向に見たときの電位分布を示した図である。

1 …… 帯領域、2 …… 信号電荷転送半波（垂直 CCDレジスタ）、3 …… トランスフェグート、6 …… 基板、7 …… 表面層、9 …… 基板の内部の空乏化していない部分のフェルミ電位、 V_{DEP} …… 帯領域が完全に空乏化するのに必要な逆バイアス電圧。

第3図

Figure 3

NEC 1980-123259
Patent on Buried
Photodiode

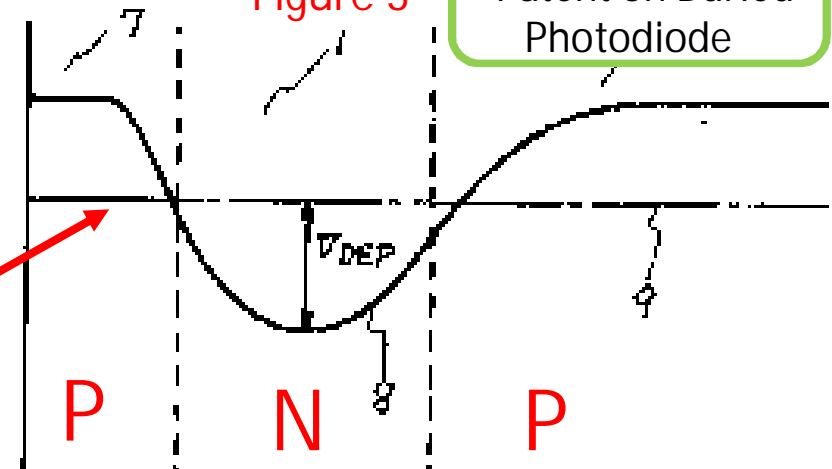


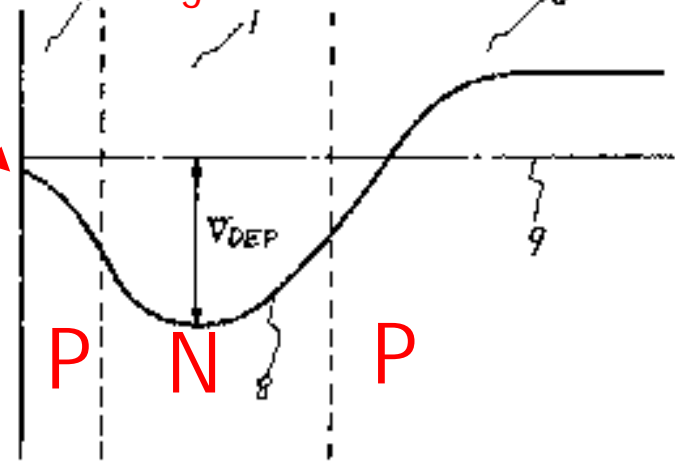
Figure 2 and 3 both are Patent application examples.

第2図

Figure 2

NOT Pinned

NOT Pinned



This patent claims also that Figure 2 case is OK which means that this is NOT a Pinned Photodiode. This is NOT more than a buried Photodiode.