

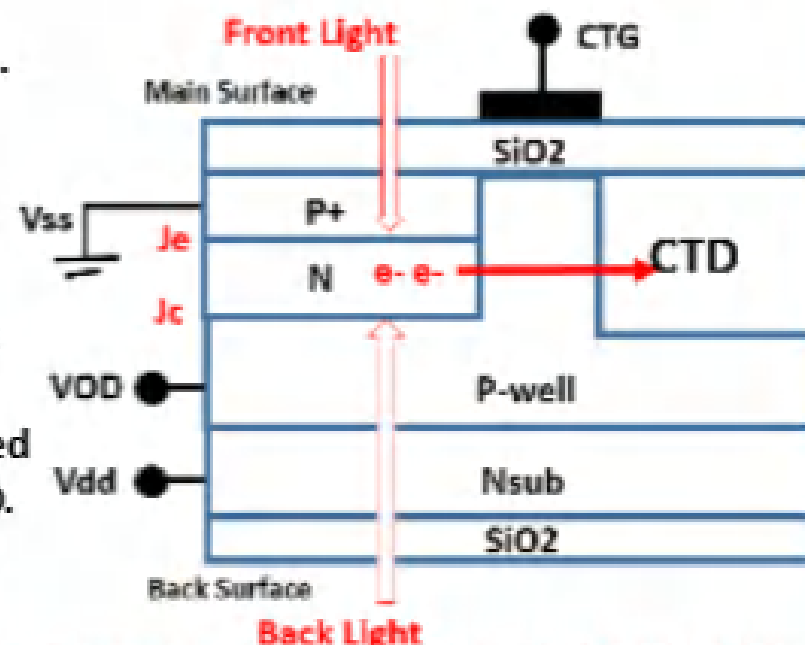
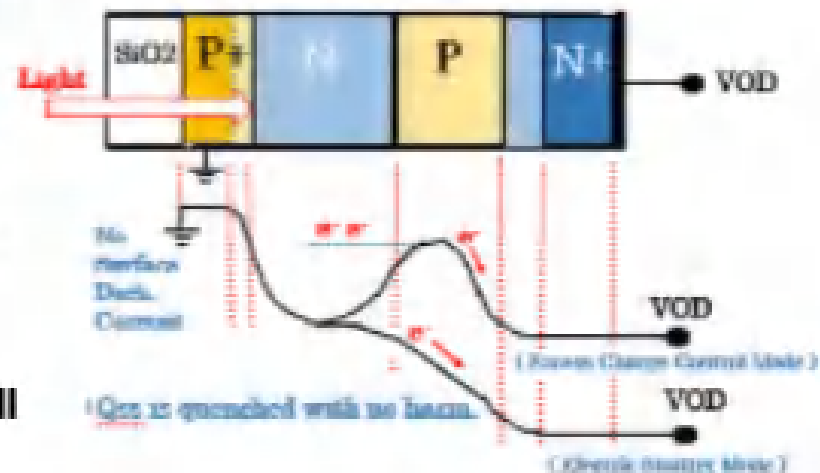
P+NP/Sub junction type Pinned Photo Diode

invented by Hagiwara at Sony in Japanese Patent 1975-134985.

| | | | |
|--------|-------------|--------|------------|
| File | 1975-134985 | Filed | 1975/11/10 |
| Public | 1975-058414 | Public | 1977/05/13 |
| | | Grant | 1983/10/19 |

Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub), the first region (Pwell) of the first impurity type is formed, (2) on which, the second region (N) of the second impurity type is formed. (3) The charge (e-) from the light collecting part (N/Pwell Junction) is transferred to the adjacent charge transfer device (CTD). (4) Both are placed along the main surface of the semiconductor substrate. (5) In the solid state image sensor so defined, a rectifying Emitter junction (Je) is formed on the second region (N) of the light collecting part (N/Pwell), (6) forming a P+NP Junction type transistor structure with the N/Pwell junction as Collector junction (Jc). (7) The charge, stored in the Base region (N) according to the illuminated light intensity, is transferred to the adjacent CTD. The solid state image sensor so defined is in the scope of this patent claim.



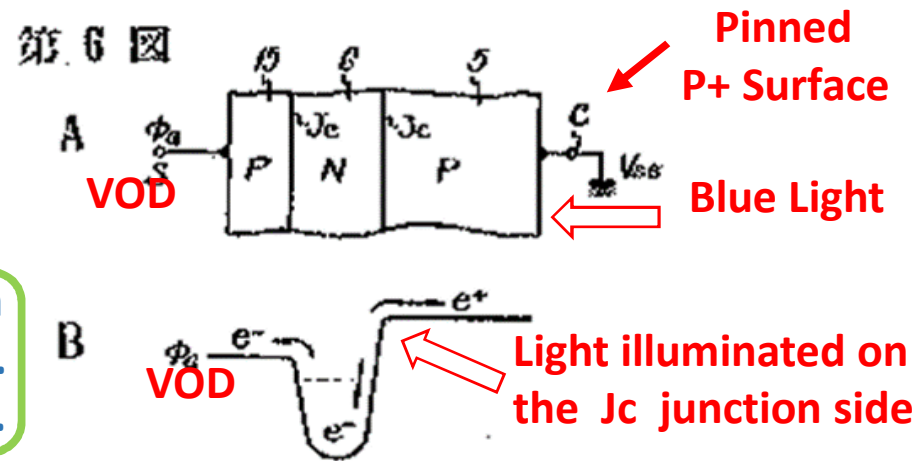
Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

| | | | |
|--------|-------------|--------|------------|
| File | 1975-134985 | Filed | 1975/11/10 |
| Public | 1975-058414 | Public | 1977/05/13 |
| | | Grant | 1983/10/19 |

The 1975 Original Patent on the P+NP Double Junction Dynamic Photo Transistor with Empty Potential Well of Complete Charge Transfer and No Image Lag and also with the built-in in-Pixel Vertical Overflow Drain (VOD) function

特 願 昭50-134985
 出 願 昭50(1975)11月10日
 公 開 昭52-58414
 昭52(1977)5月13日
 発 明 者 萩原 良昭



Blue Light cannot penetrate more than 0.2 micro meter into the silicon crystal. Jc must be near the light incident side.

The P+NP double junction type **Pinned Photodiode** with the surface P+ hole accumulation layer (the Jc side in this example) that has a fixed or Pinned surface potential by the external metal Ohmic contact or adjacent P+ channel stops by option. This is also Buried Photodiode with the buried N type base charge storage region to be completely depleted of the signal charge being transferred to the adjacent charge transfer device (CTD) by CCD-like complete charge transfer operation mode resulting in no image lag feature.

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

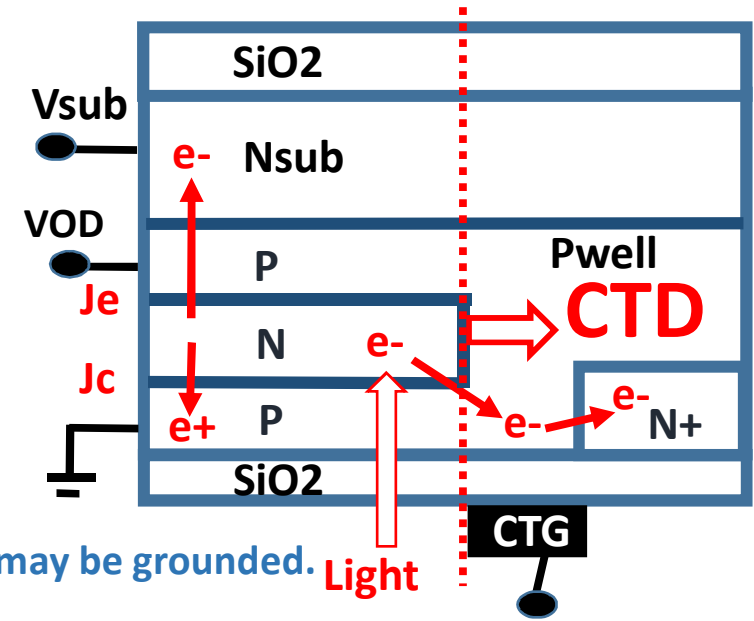
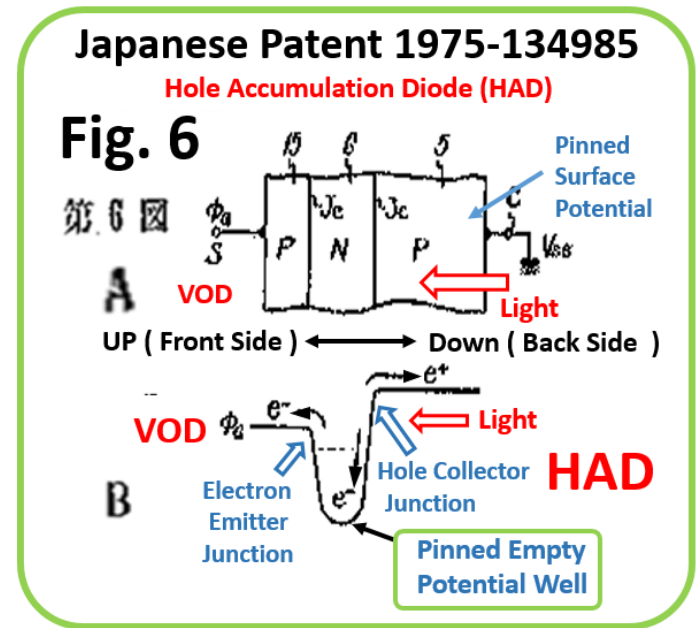
the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985** **3/31**

| | | | |
|--------|-------------|--------|------------|
| File | 1975-134985 | Filed | 1975/11/10 |
| Public | 1975-058414 | Public | 1977/05/13 |
| | | Grant | 1983/10/19 |

Hagiwara 1975 invention on November 10, 1975
Patent Claim in Original Japanese

(1)半導体基体 (Nsub) に、第1電導型の第1半導体領域 (P-well) と、(2) 之の上に形成された第2導電型の第2半導体領域 (N) とが形成されて、(3)光感知部 (N) と之よりの電荷を転送する電荷転送部 (CTD) とが上記半導体基体 (Nsub) の主面に沿う如く配置されて成る固体撮像装置に於いて、(4)上記光感知部の上記第2半導体領域 (N) に、整流性接合 (Je) が形成され、該接合をエミッタ接合 (Je) とし、(5)上記第1 (P-well) 及び 第2半導体領域 (N) 間の接合をコレクタ接合 (Jc) とするトランジスタ (PNP) を形成し、該トランジスタ (PNP) のベースとなる上記第2半導体領域 (N) に光学像に応じた電荷を蓄積しここに蓄積された電荷を上記転送部 (CTD) に移行させてその転送を行うようにしたことを特徴とする固体撮像装置。



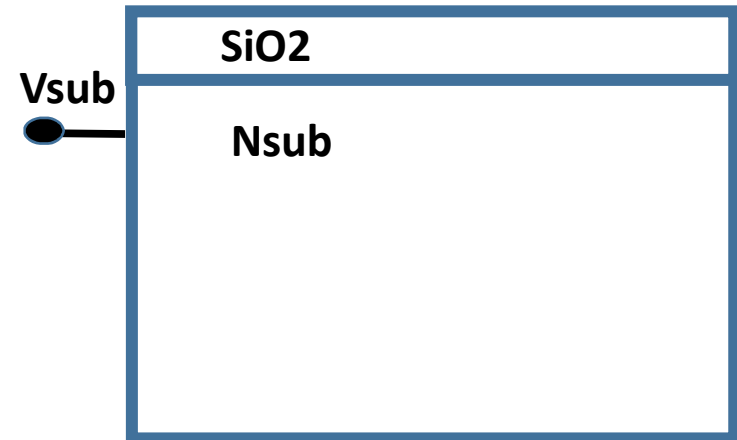
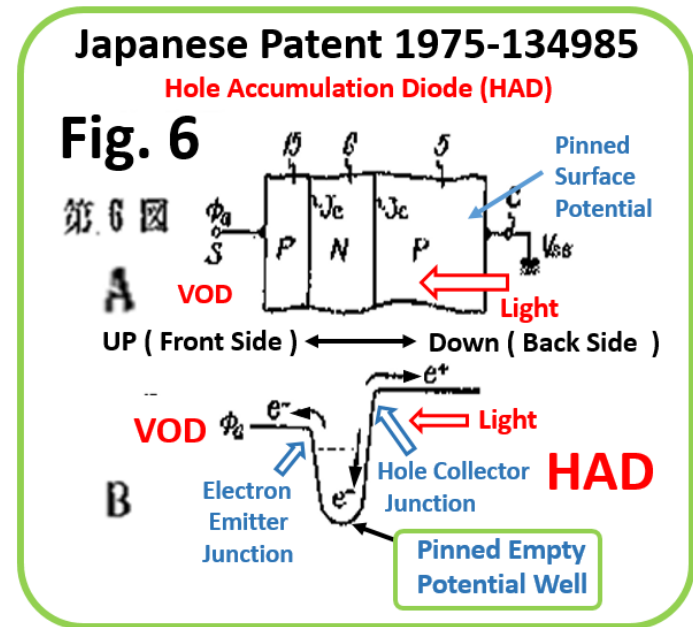
the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number 1975-134985 4/31

| | | | |
|--------|-------------|--------|------------|
| File | 1975-134985 | Filed | 1975/11/10 |
| Public | 1975-058414 | Public | 1977/05/13 |
| | | Grant | 1983/10/19 |

Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub)



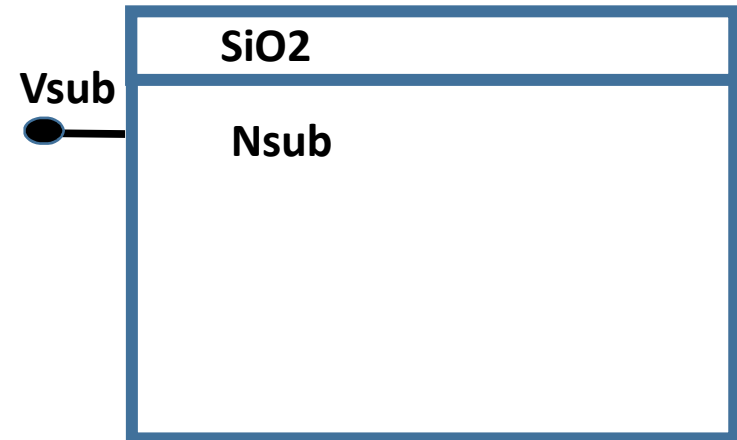
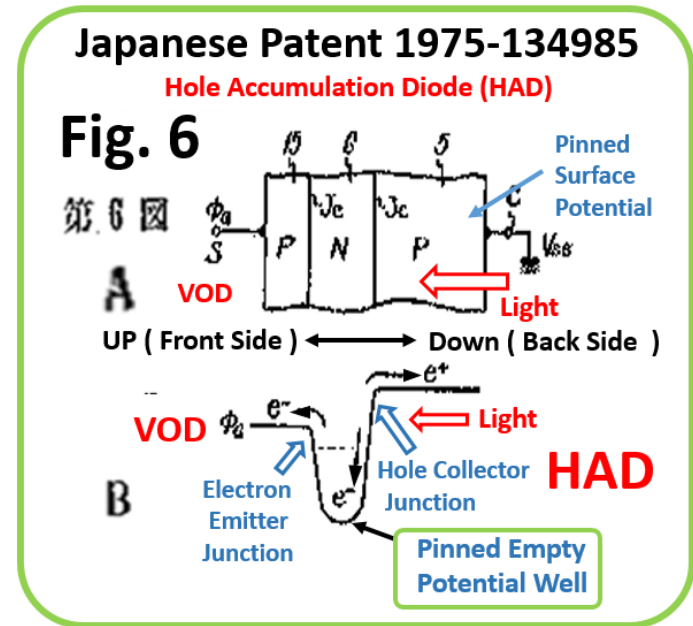
the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985** 5/31

| | | | |
|--------|-------------|--------|------------|
| File | 1975-134985 | Filed | 1975/11/10 |
| Public | 1975-058414 | Public | 1977/05/13 |
| | | Grant | 1983/10/19 |

Hagiwara 1975 invention on November 10, 1975
 Patent Claim in Original Japanese

(1) 半導体基体 (Nsub) に、



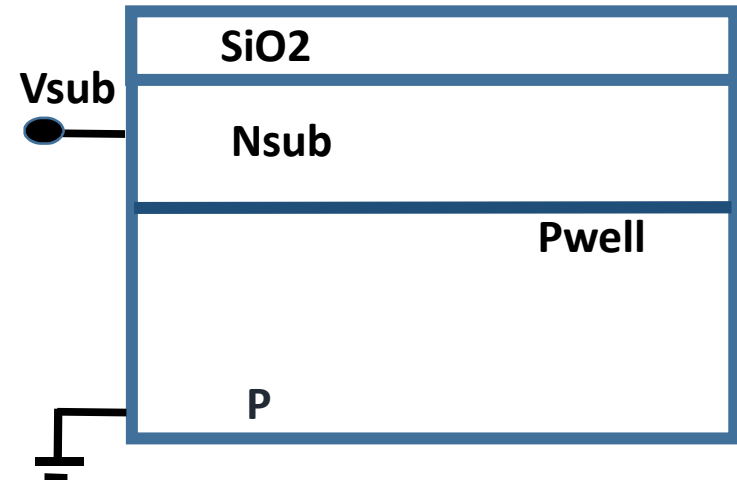
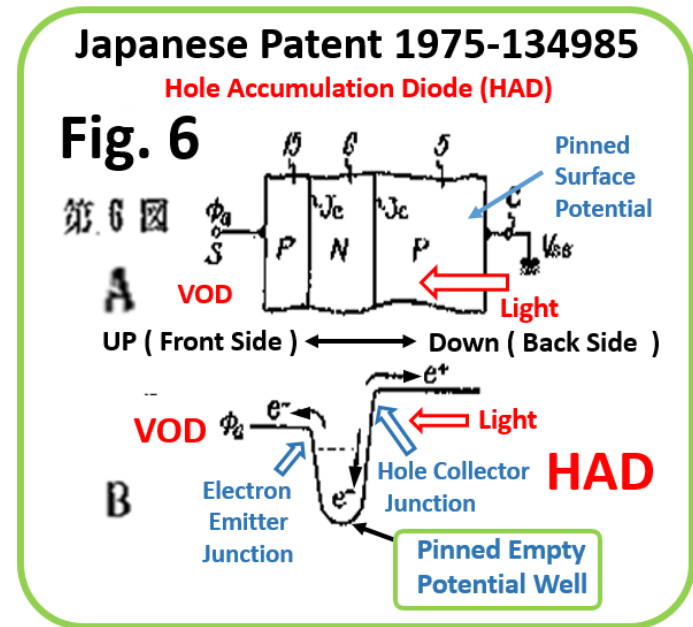
the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985** **6/31**

| | | | |
|--------|-------------|--------|------------|
| File | 1975-134985 | Filed | 1975/11/10 |
| Public | 1975-058414 | Public | 1977/05/13 |
| | | Grant | 1983/10/19 |

Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub), the first region(P-well) of the first impurity type is formed



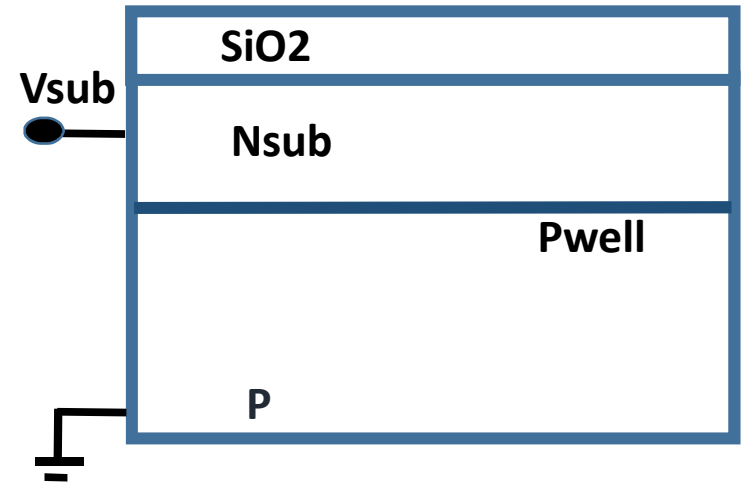
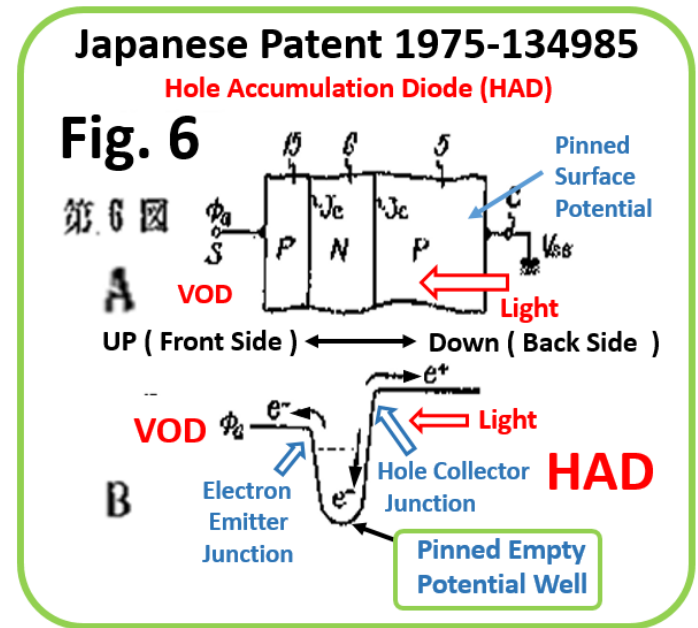
the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985** **7/31**

| | | | |
|--------|-------------|--------|------------|
| File | 1975-134985 | Filed | 1975/11/10 |
| Public | 1975-058414 | Public | 1977/05/13 |
| | | Grant | 1983/10/19 |

Hagiwara 1975 invention on November 10, 1975
 Patent Claim in Original Japanese

(1) 半導体基体 (Nsub) に、第1電導型の第1半導体領域 (P-well) と、



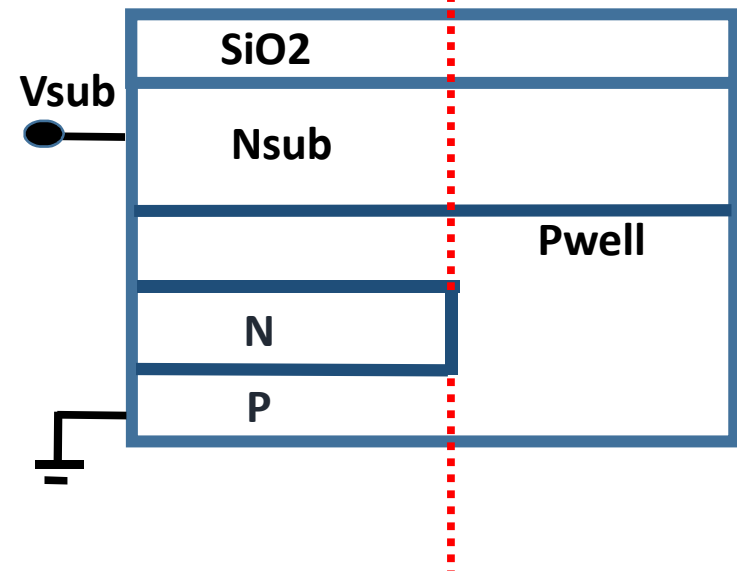
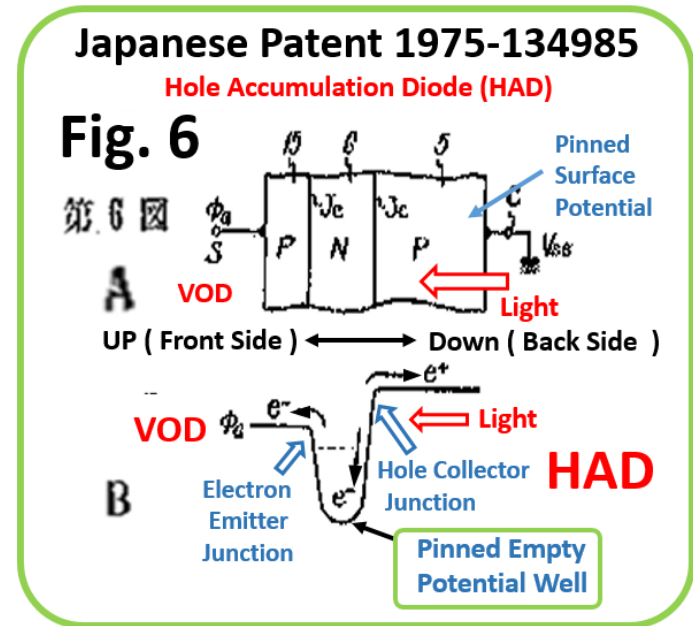
the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985** **8/31**

| | | | |
|--------|-------------|--------|------------|
| File | 1975-134985 | Filed | 1975/11/10 |
| Public | 1975-058414 | Public | 1977/05/13 |
| | | Grant | 1983/10/19 |

Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub), the first region(P-well) of the first impurity type is formed, (2) on which, the second region (N) of the second impurity type is formed.



the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985** 9/31

| | | | |
|--------|-------------|--------|------------|
| File | 1975-134985 | Filed | 1975/11/10 |
| Public | 1975-058414 | Public | 197 |
| | | Grant | 198 |

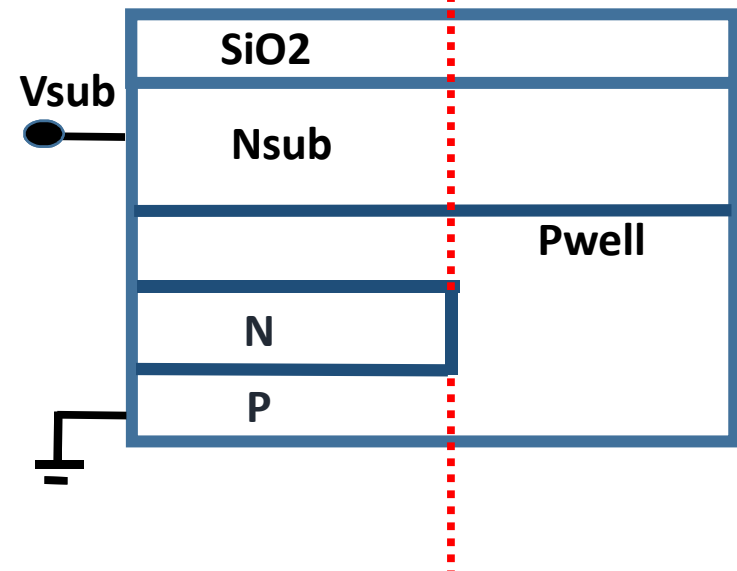
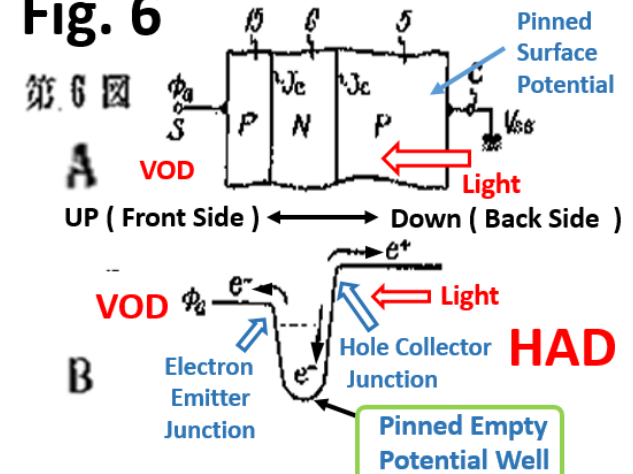
Hagiwara 1975 invention on November 10, 1975
 Patent Claim in Original Japanese

(1) 半導体基体 (Nsub) に、第1電導型の第1半導体領域 (P-well) と、(2) 之の上に形成された第2導電型の第2半導体領域 (N) とが形成されて、

Japanese Patent 1975-134985

Hole Accumulation Diode (HAD)

Fig. 6



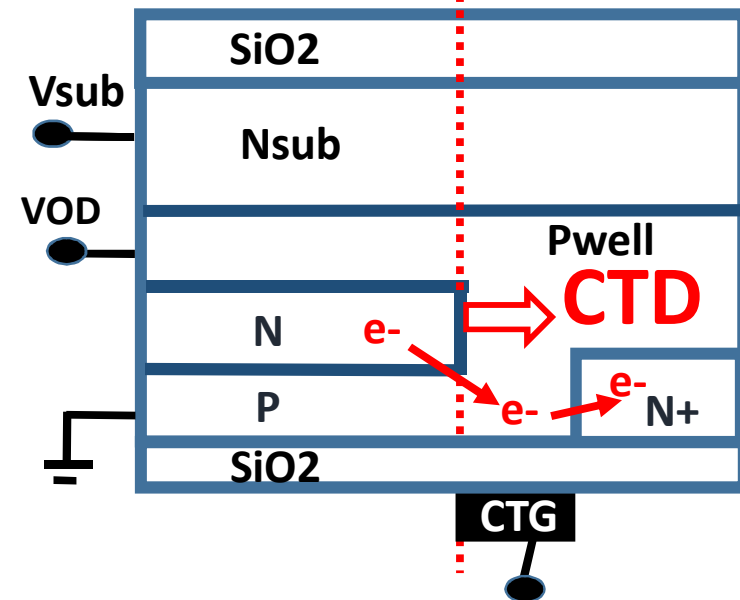
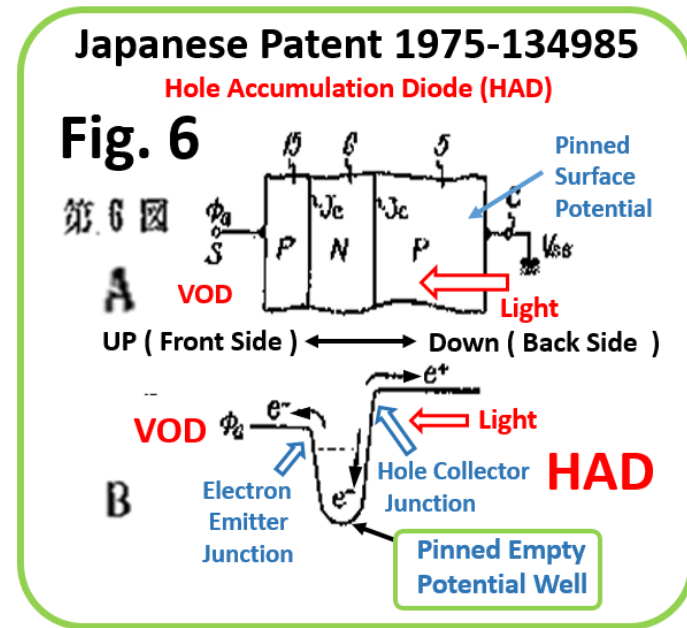
the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**10/31

| | | | |
|--------|-------------|--------|------------|
| File | 1975-134985 | Filed | 1975/11/10 |
| Public | 1975-058414 | Public | 1977/05/13 |
| | | Grant | 1983/10/19 |

Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub), the first region (P-well) of the first impurity type is formed, (2) on which, the second region (N) of the second impurity type is formed. (3) The charge (e-) stored in the light collecting region (N) is to be transferred to the adjacent charge transfer device (CTD). Both are placed along the main surface of the semiconductor substrate.



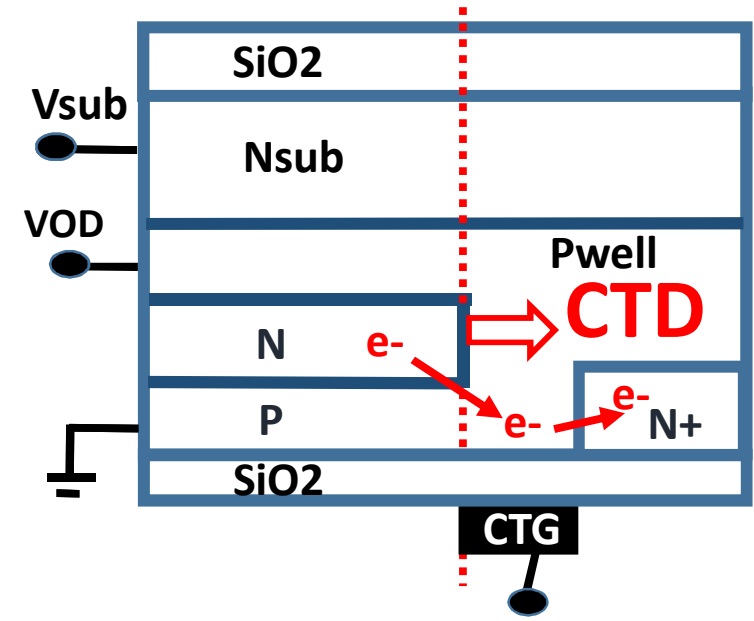
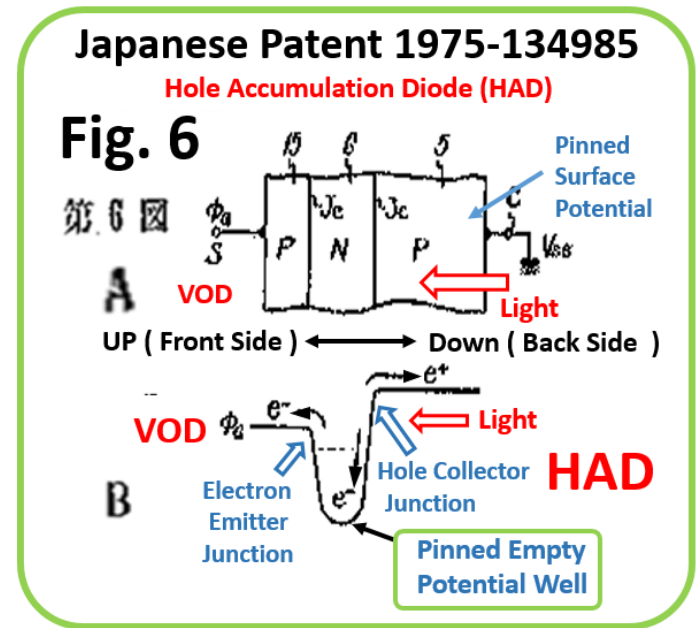
the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985** **11/31**

| | | | |
|--------|-------------|--------|------------|
| File | 1975-134985 | Filed | 1975/11/10 |
| Public | 1975-058414 | Public | 1977/05/13 |
| | | Grant | 1983/10/19 |

Hagiwara 1975 invention on November 10, 1975
 Patent Claim in Original Japanese

(1)半導体基体 (Nsub) に、第1電導型の第1半導体領域 (P-well) と、(2) 之の上に形成された第2導電型の第2半導体領域 (N) とが形成されて、(3)光感知部 (N) と之よりの電荷を転送する電荷転送部 (CTD) とが上記半導体基体 (Nsub) の主面に沿う如く配置されて成る固体撮像装置 に於いて



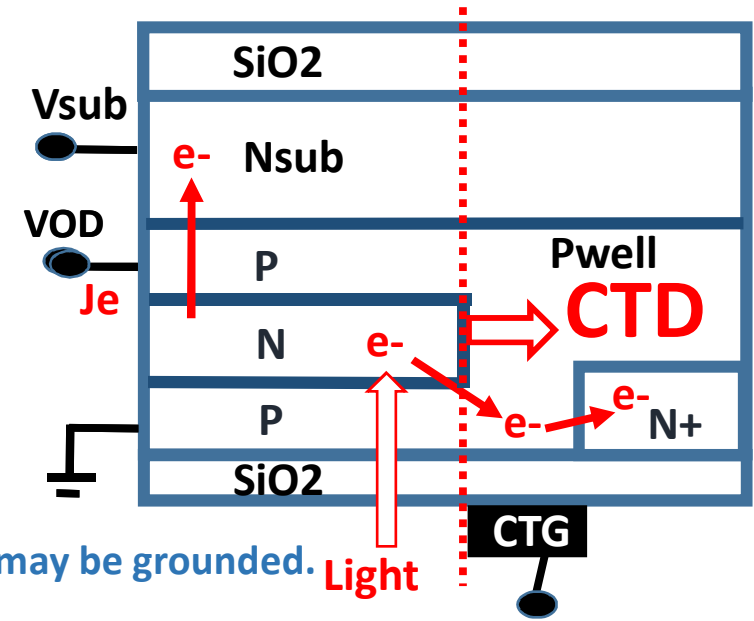
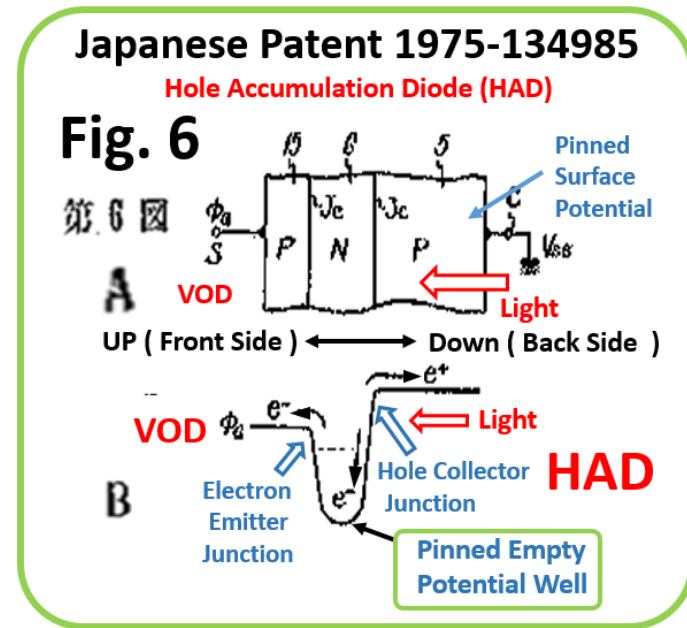
the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985** **12/31**

| | | | |
|--------|-------------|--------|------------|
| File | 1975-134985 | Filed | 1975/11/10 |
| Public | 1975-058414 | Public | 1977/05/13 |
| | | Grant | 1983/10/19 |

Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub), the first region (P-well) of the first impurity type is formed, (2) on which, the second region (N) of the second impurity type is formed. (3) The charge (e-) stored in the light collecting region (N) is to be transferred to the adjacent charge transfer device (CTD). Both are placed along the main surface of the semiconductor substrate. (4) In the solid stare image sensor so defined, a rectifying Emitter Junction (Je) is formed on the second region (N) of the photo charge collecting region (N) .



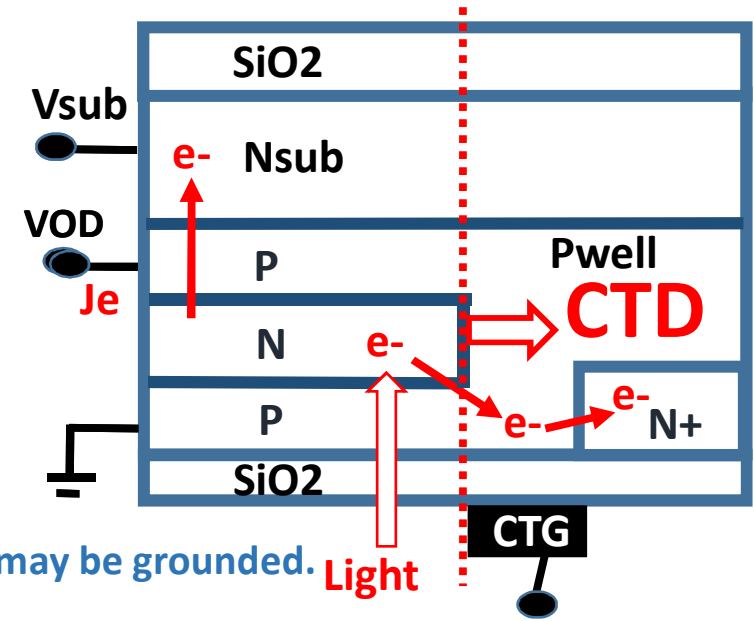
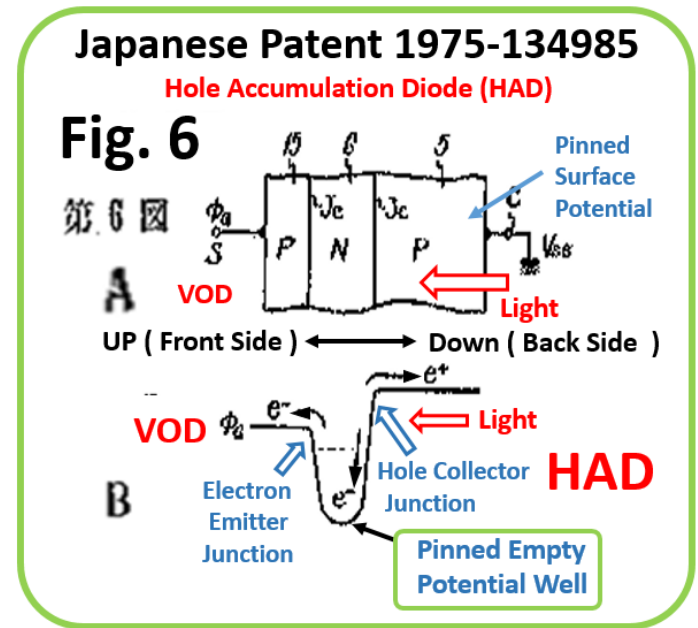
the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985** **13/31**

| | | | |
|--------|-------------|--------|------------|
| File | 1975-134985 | Filed | 1975/11/10 |
| Public | 1975-058414 | Public | 1977/05/13 |
| | | Grant | 1983/10/19 |

Hagiwara 1975 invention on November 10, 1975
Patent Claim in Original Japanese

(1)半導体基体 (Nsub) に、第1電導型の第1半導体領域 (P-well) と、(2) 之の上に形成された第2導電型の第2半導体領域 (N) とが形成されて、(3)光感知部 (N) と之よりの電荷を転送する電荷転送部 (CTD) とが上記半導体基体 (Nsub) の主面に沿う如く配置されて成る(4)固体撮像装置に於いて、上記光感知部の上記第2半導体領域 (N) に、整流性接合 (Je) が形成され、該接合をエミッタ接合 (Je) とし、



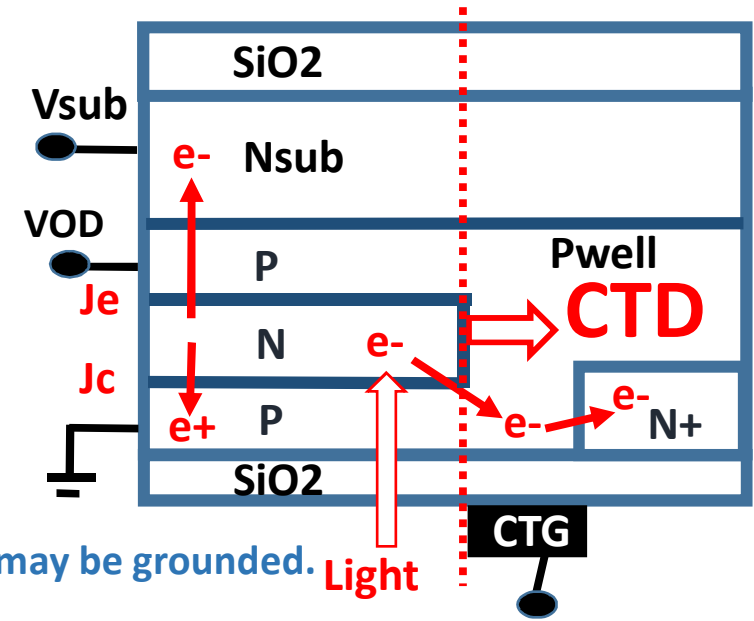
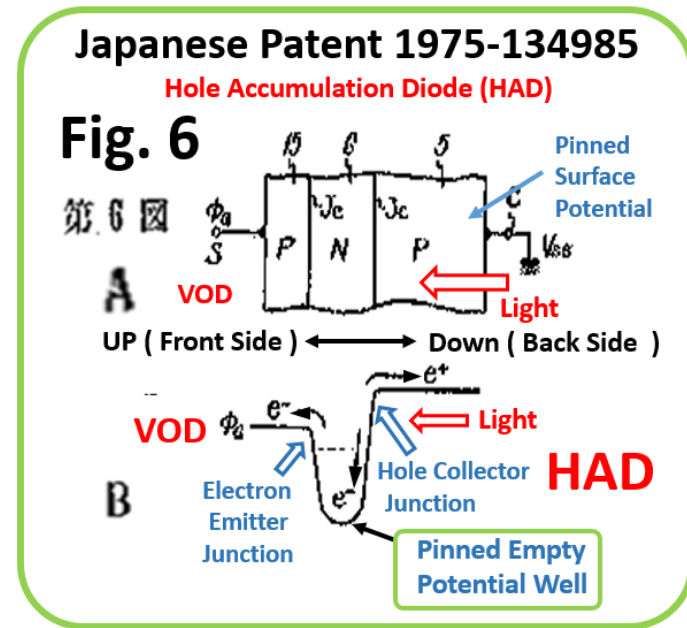
the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985** **14/31**

| | | | |
|--------|-------------|--------|------------|
| File | 1975-134985 | Filed | 1975/11/10 |
| Public | 1975-058414 | Public | 1977/05/13 |
| | | Grant | 1983/10/19 |

Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub), the first region (P-well) of the first impurity type is formed, (2) on which, the second region (N) of the second impurity type is formed. (3) The charge (e-) stored in the light collecting region (N) is to be transferred to the adjacent charge transfer device (CTD). Both are placed along the main surface of the semiconductor substrate. (4) In the solid stare image sensor so defined, a rectifying Emitter Junction (Je) is formed on the second region (N) of the photo charge collecting region (N) . (5) And Collector Junction (Jc) is formed by the second region (N) and the first region (P-well), forming a (PNP) transistor structure. Signal Photo charge is stored in the Base Region (N) according to the illuminated light intensity, and transferred to the adjacent CTD.



VOD may be grounded. Light

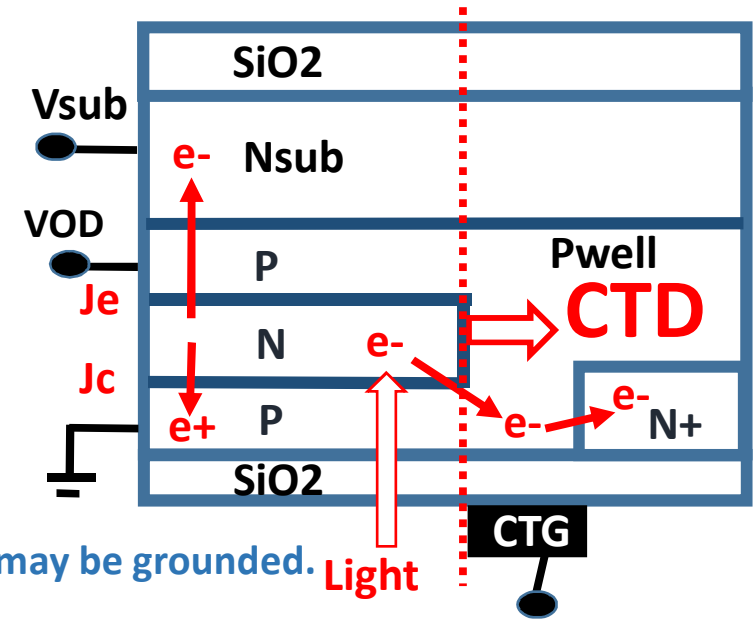
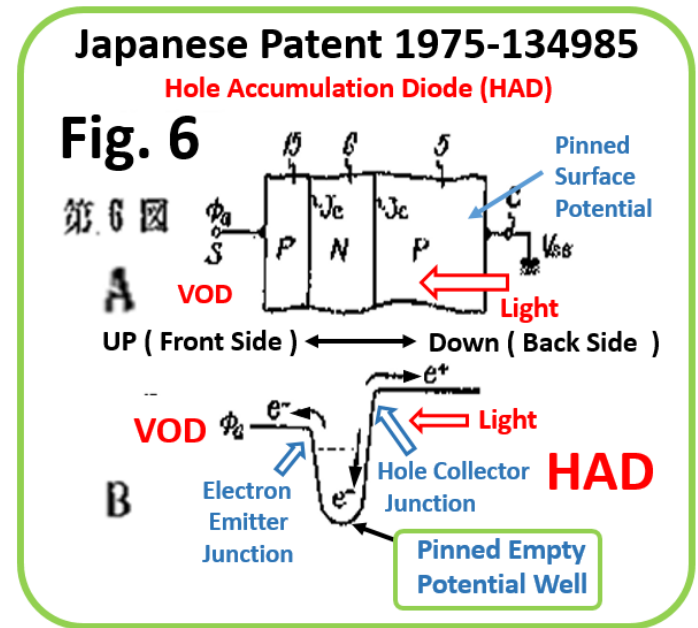
the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985** 15/31

| | | | |
|--------|-------------|--------|------------|
| File | 1975-134985 | Filed | 1975/11/10 |
| Public | 1975-058414 | Public | 1977/05/13 |
| | | Grant | 1983/10/19 |

Hagiwara 1975 invention on November 10, 1975
Patent Claim in Original Japanese

(1)半導体基体 (Nsub) に、第1電導型の第1半導体領域 (P-well) と、(2) 之の上に形成された第2導電型の第2半導体領域 (N) とが形成されて、(3)光感知部 (N) と之よりの電荷を転送する電荷転送部 (CTD) とが上記半導体基体 (Nsub) の主面に沿う如く配置されて成る固体撮像装置に於いて、(4)上記光感知部の上記第2半導体領域 (N) に、整流性接合 (Je) が形成され、該接合をエミッタ接合 (Je) とし、(5)上記第1 (P-well) 及び 第2半導体領域 (N) 間の接合をコレクタ接合 (Jc) とするトランジスタ (PNP) を形成し、該トランジスタ (PNP) のベースとなる上記第2半導体領域 (N) に光学像に応じた電荷を蓄積しここに蓄積された電荷を上記転送部 (CTD) に移行させてその転送を行うようにしたことを特徴とする固体撮像装置。



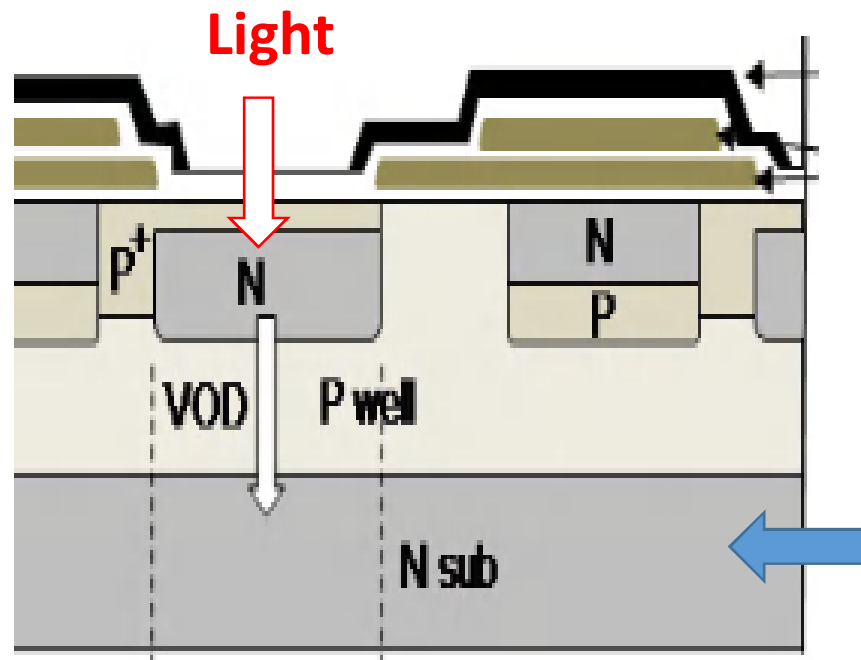
the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Japanese Patent of SONY HAD sensor by Yoshiaki Hagiwara at Sony

Surface Potential must be directly Pinned by the adjacent channel stop P+ region. Otherwise the surface P+ region becomes floating by the RC delay time. Though the surface P+ region can be connected by remote P+ channel stops, however, it will still have the RC delay time and will be floating and NOT pinned.

Hole Accumulation Diode (HAD)

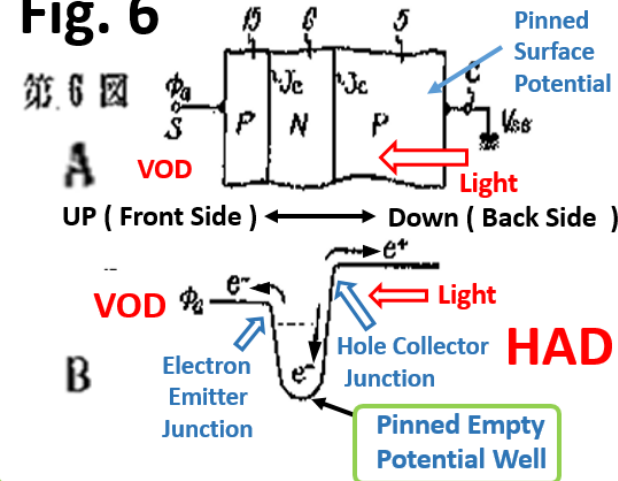
Definition of Sony HAD (PPD+VOD)



Japanese Patent 1975-134985

Hole Accumulation Diode (HAD)

Fig. 6



Japanese Patent 1975-134985 defines this P+NP junction Pinned Photodiode on the substrate (Nsub).

the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Japanese Patent of SONY HAD sensor by Yoshiaki Hagiwara at Sony

17/31

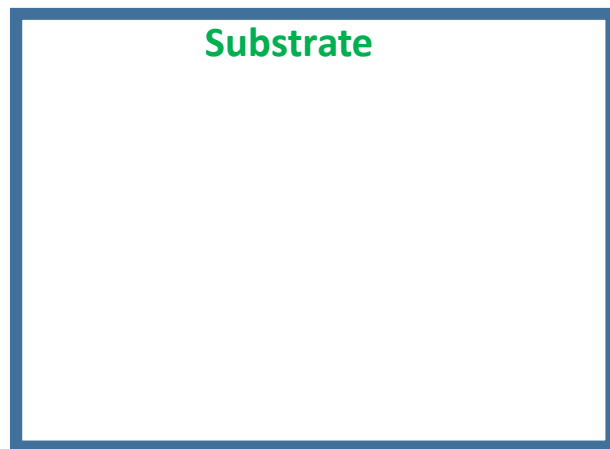
See Patent 1975-134985 (November 10, 1975)

Hole Accumulation Diode (HAD)

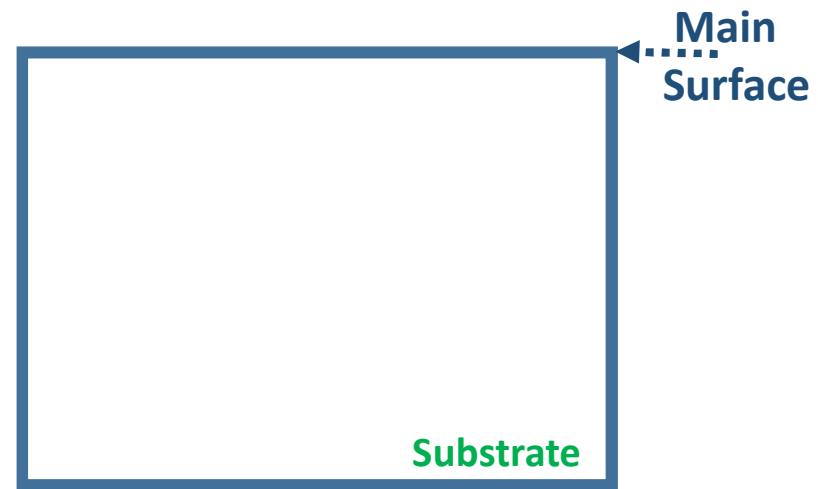
Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(1) In the semiconductor substrate (Nsub),



Case(1) Front Light Illumination



Case(2) Back Light Illumination

the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Japanese Patent of SONY HAD sensor by Yoshiaki Hagiwara at Sony

18/31

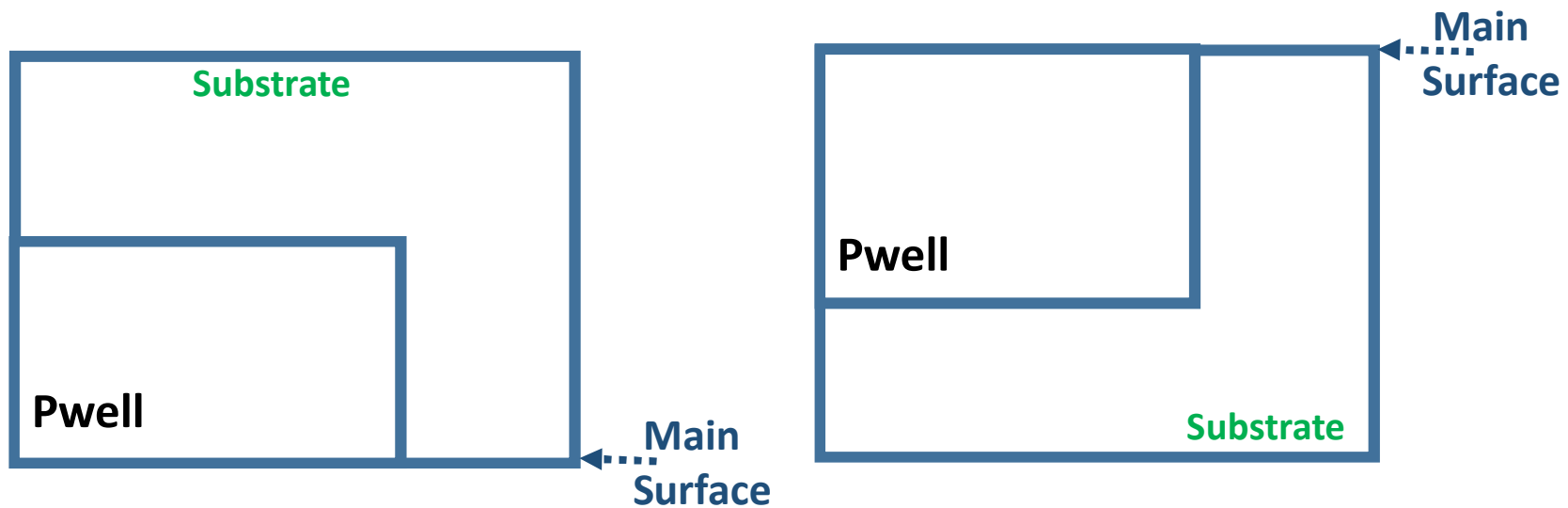
See Patent 1975-134985 (November 10, 1975)

Hole Accumulation Diode (HAD)

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(1) In the semiconductor substrate (Nsub), the first region(P-well) of the first impurity type is formed,



Case(1) Front Light Illumination

Case(2) Back Light Illumination

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Japanese Patent of SONY HAD sensor by Yoshiaki Hagiwara at Sony

19/31

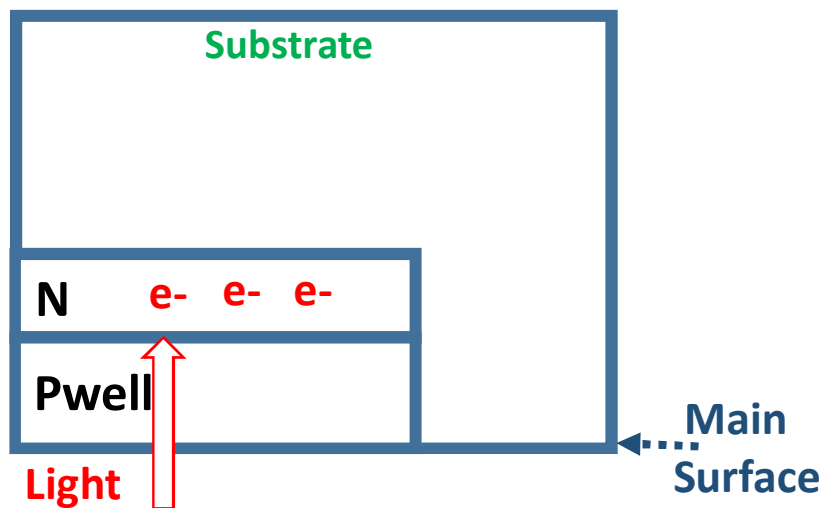
See Patent 1975-134985 (November 10, 1975)

Hole Accumulation Diode (HAD)

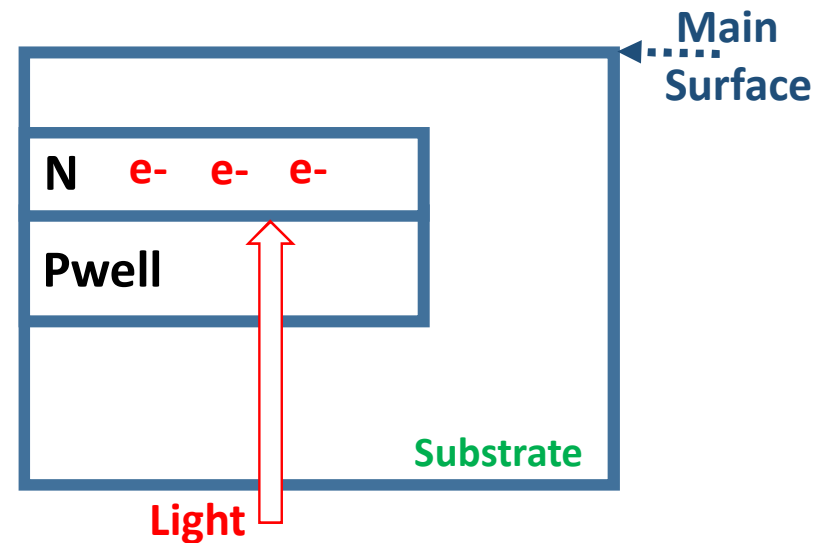
Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(2) on which, the second region (N)
of the second impurity type is formed.



Case(1) Front Light Illumination



Case(2) Back Light Illumination

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Japanese Patent of SONY HAD sensor by Yoshiaki Hagiwara at Sony

20/31

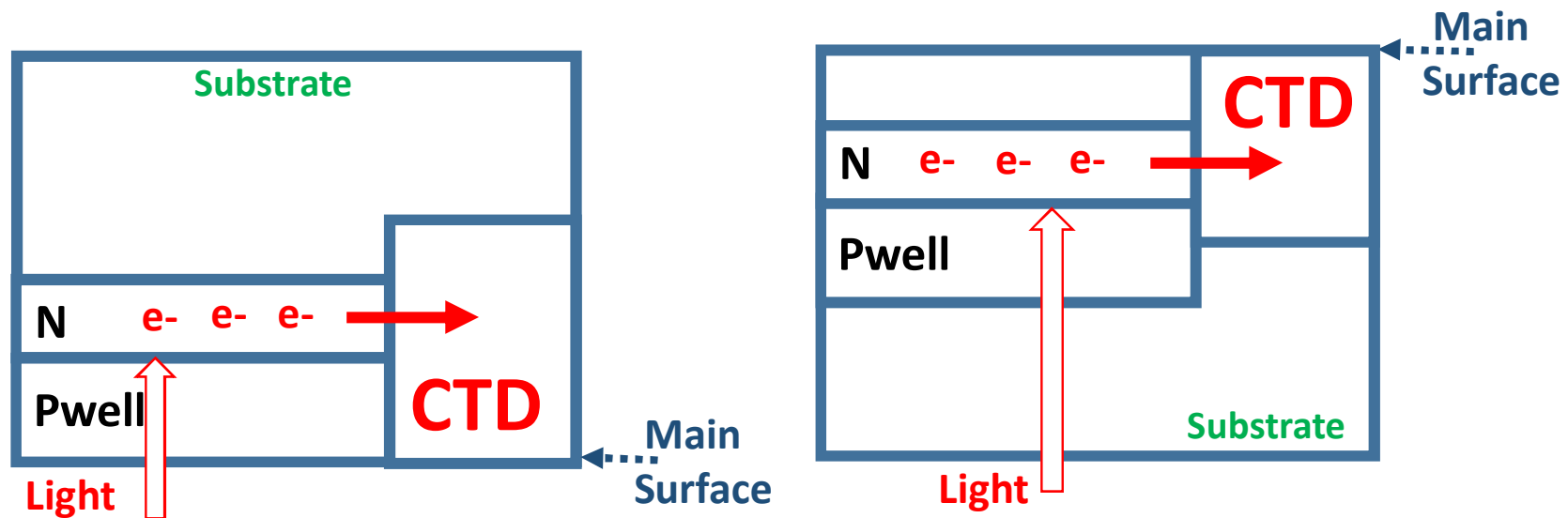
See Patent 1975-134985 (November 10, 1975)

Hole Accumulation Diode (HAD)

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(3) The charge (e-) stored in the light collecting region (N) is to be transferred to the adjacent charge transfer device (CTD). Both are placed along the main surface of the semiconductor substrate.



Case(1) Front Light Illumination

Case(2) Back Light Illumination

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

the P+NP double junction type Pinned Photodiode on Silicon substrate (N_{sub})

Japanese Patent of SONY HAD sensor by Yoshiaki Hagiwara at Sony

21/31

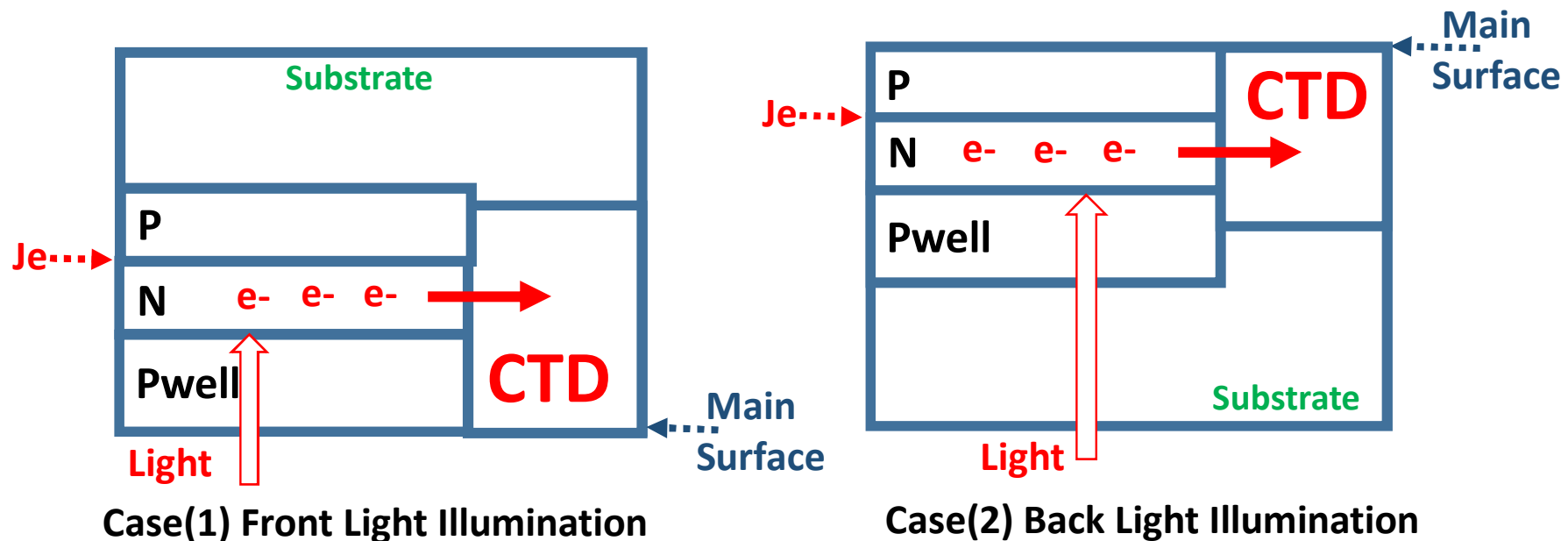
See Patent 1975-134985 (November 10, 1975)

Hole Accumulation Diode (HAD)

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(4) In the solid stare image sensor so defined, a rectifying Emitter Junction (J_e) is formed on the second region (N) of the photo charge collecting region (N) .



Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

the P+NP double junction type Pinned Photodiode on Silicon substrate (N_{sub})

Japanese Patent of SONY HAD sensor by Yoshiaki Hagiwara at Sony

22/31

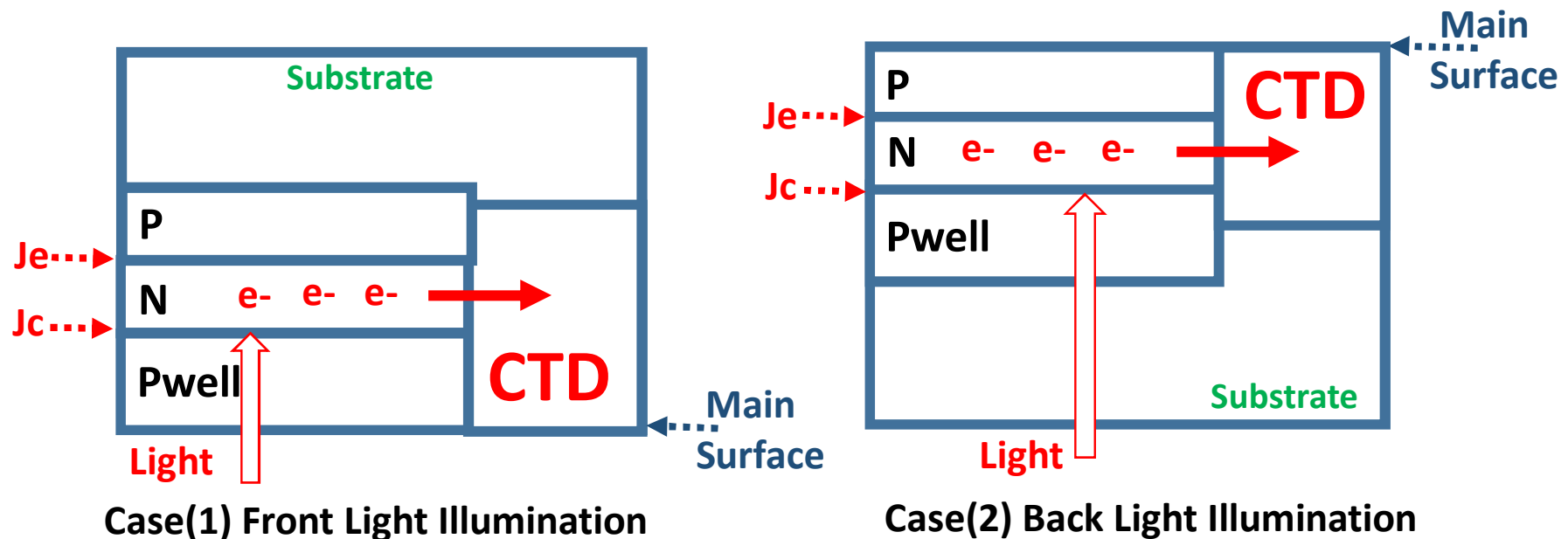
See Patent 1975-134985 (November 10, 1975)

Hole Accumulation Diode (HAD)

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(5) And Collector Junction (J_c) is formed by the second region (N) and the first region (P-well),



Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

the P+NP double junction type Pinned Photodiode on Silicon substrate (N_{sub})

Japanese Patent of SONY HAD sensor by Yoshiaki Hagiwara at Sony

23/31

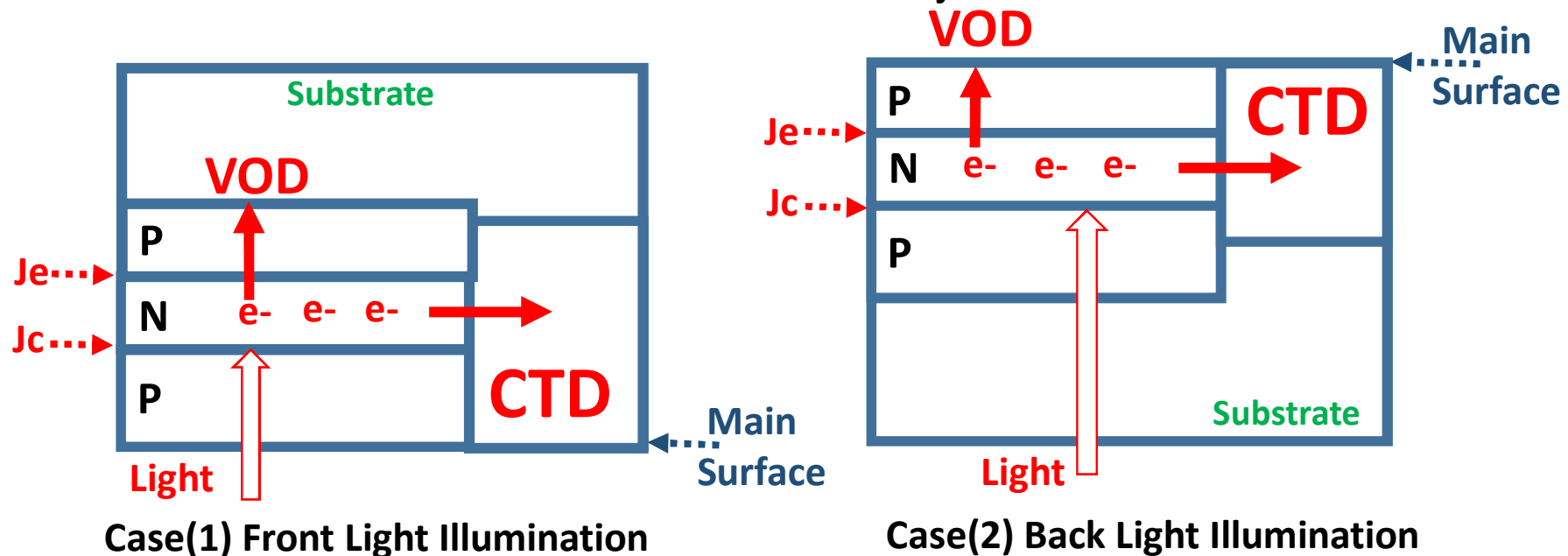
See Patent 1975-134985 (November 10, 1975)

Hole Accumulation Diode (HAD)

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(5) And Collector Junction (J_c) is formed by the second region (N) and the first region P-well), forming a (PNP) transistor structure. Signal Photo charge is stored in the Base Region (N) according to the illuminated light intensity, and transferred to the adjacent CTD.



Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

24/31

⑫ 特 許 公 報 (B 2) 昭58-46905

⑬ 日 本 国 特 許 庁 (JP) ⑭ 特 許 出 願 公 告

⑫ 特 許 公 報 (B 2) 昭58-46905

| | | | |
|------------------------|------|---------|------------------------|
| ⑮ Int.Cl. ³ | 識別記号 | 庁内整理番号 | ⑳㉑公告 昭和58年(1983)10月19日 |
| H 04 N 5/30 | | 6940-5C | |
| H 01 L 27/14 | | 6819-5F | 発明の数 1 |

(全 4 頁)

1

2

⑤④ 固体撮像装置

⑰ 特 願 昭50-134985
 ⑱ 出 願 昭50(1975)11月10日
 ⑲ 公 開 昭52-58414
 ⑳ 昭52(1977)5月13日
 ㉑ 発 明 者 萩原 良昭
 横浜市保土ヶ谷区狩場町 303 の
 159 狩場台アパート 402 号室
 ㉒ 出 願 人 ソニー株式会社
 東京都品川区北品川 6 丁目 7 番35
 号
 ㉓ 代 理 人 弁理士 伊藤 貞

㉔ 特許請求の範囲

像装置は、第 1 図に示すように、夫々絵素となる
 光感知部 (センサー部) 1 が行 (水平) 及び列
 (垂直) 方向に夫々複数個配列され、共通の列上
 の光感知部 1 に関し、共通の垂直シフトレジスタ
 5 2 が設けられている。この垂直シフトレジスタ 2
 は CCD よりなり、その電荷転送部が、対応する
 列上の光感知部 1 に夫々隣合つて設けられる。又、
 各シフトレジスタ 2 の一端 (第 1 図に於いて下端)
 には水平シフトレジスタ 3 が設けられ、撮像光学
 10 像に応じて各光感知部 1 に生じた電荷を、例えば
 テレビジョン映像に於いては、その帰線消去期間
 に於いて垂直シフトレジスタ 2 の各転送部に転送
 し、このシフトレジスタ 2 によつてこの電荷を垂
 15 直方向に順次シフトして水平シフトレジスタ 3 に
 転送し、更にこの水平シフトレジスタによつて各

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

⑫ 特 許 公 報 (B 2) 昭58-46905

⑬特許請求の範囲

1 半導体基体に、第1導電型の第1半導体領域と、之の上に形成された第2導電型の第2半導体領域とが形成されて光感知部と之よりの電荷を転送する電荷転送部とが上記半導体基体の主面に沿う如く配置されて成る固体撮像装置に於いて、上記光感知部の上記第2半導体領域に整流性接合が形成され、該接合をエミッタ接合とし、上記第1及び第2半導体領域間の接合をコレクタ接合とするトランジスタを形成し、該トランジスタのベースとなる上記第2半導体領域に光学像に応じた電荷を蓄積し、ここに蓄積された電荷を上記転送部に移行させて、その転送を行うようにしたことを特徴とする固体撮像装置。

発明の詳細な説明

本発明は電荷転送素子(CCD)、特に埋込みチャンネル型CCDを用いた固体撮像装置に係わる。

CCDを用いた固体撮像装置としてはフレームトランスファ方式によるもの、或いはインターライントランスファ方式によるものが提案されている。

インターライントランスファ方式による固体撮

15 転送し、更にこの水平シフトレジスタによつて各行の絵素に関する電荷を水平方向にシフトして出力端子tよりこの電荷に応じた撮像信号を得るようになされている。

20 このような構成による固体撮像装置の光感知部1とこれに隣合う垂直シフトレジスタ2の転送部の構造を第2図及び第3図に示す。この例に於いては埋込みチャンネル型CCD構成とした場合で、この場合、半導体基体4に、第1の導電型例えばP型半導体領域5と、これの上に基体4の一主面4aに臨んで第2の導電型例えばN型の半導体領域6とが設けられ、主面4aに沿つて光感知部1とこれに隣合つてシフトレジスタ2の各転送部7が設けられてなる。8は領域5と同導電型のチャンネルストツパー領域で、各感知部1間、及び各シフトレジスタ2間を互に分離するものであり、9は領域6と同導電型を有するもこれより低い不純物濃度を有し、光感知部1とこれに隣合うシフトレジスタ2との間に設けられて両者間に電位障壁を形成する為の領域である。

35 光感知部1及び転送部7上の、主面4a上には例えばSiO₂より成る絶縁膜10が被着される。そして、これの上に各シフトレジスタ2に対し、

the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

26/31

⑫特許公報(B2) 昭58-46905

(2)

特公 昭58-46905

3

4

その共通の行上の転送部に関して共通に転送電極
11が延長被着され、この電極11上には同様に
例えばSiO₂より成る絶縁膜12が被着され、こ
れの上に跨いで特に光感知部1上を含んでいわゆ
るセンサー電極13が被着される。この電極13
は光透過性を有するネサ、或いは不純物が高濃度
をもつてドーブされて導電性が付与された多結晶
シリコン層より構成される。

このような構成による固体撮像装置の光感知部
1に対する光は少なくとも電極13とこれの下
の絶縁膜10を通じて与えるので、特に短波長側
における感度が低くなる欠点がある。

本発明は上述した欠点を改善した固体撮像装置
を提供せんとするものである。

第4図及び第5図を参照して本発明を説明する。
之等第4図、第5図に於いて、第2図及び第3図
と対応する部分には同一符号を付して重複説明を
省略する。

本発明に於いては、光感知部1上の少なくとも
受光領域上の絶縁膜10及び12を除去し、窓
14を形成すると共に、光感知部1の半導体領域
6上に主面4aに臨んで整流性接合J_eを形成す
る。この接合J_eは例えば第4図に示す如く領域
6と異なる導電型即ちP型の不純物がドーブされ
た多結晶シリコン層より成る領域15を窓14を

5

10

15

20

25

固定電位、即ち例えば接地電位を与える。一方、
受光期間即ちシフトレジスタ2に於ける転送期間
中にエミッタ領域15即ちセンサー電極16の端
子Sには、接合J_eに逆バイアスを与える所定の
負の電位φ_Gを与える。

斯くすると第6図Aに示すPNPトランジスタ
の断面に於ける電位分布は、第6図Bに示す如く
なり、撮像光学像による光照射によつて生じたキ
ャリア即ちホール及び電子のうちホールe⁺は端
子C側に流れて消滅するが、電子e⁻はベース領
域6に蓄積される。この場合、或る量以上の電荷
e⁻が蓄積されると接合J_eが順バイアスとなり、
この或る量以上の電荷即ち電子はエミッタ側にオ
ーバーフローする。

そして、この光感知部1のベース領域6に蓄積
された電荷を例えば帰線消去期間に於いてシフト
レジスタ2の転送部7に転送する。この転送は、
通常如くセンサー電極16に対し転送電極11
に所要の負の電位を与えることによつて転送部7
にポテンシャル井戸を形成してその転送を行う。
その後はこのシフトレジスタ2に於いて第1図に
説明したように各転送部7の電荷を垂直方向に順
次シフトさせる。このシフトは通常如く転送電
極11にクロック電圧を与えて行う。そしてこの
間、即ち転送期間中に前述したと同様に撮像光学

⑫ 特 許 公 報 (B 2) 昭58-46905

た多結晶シリコン層より成る領域15を窓14を通じて光感知部1の半導体層6上に被着生成させてPN接合を形成するようになすこともできるし、或いは第5図に示す如く光感知部1の半導体領域6上に選択的に領域6と異なる導電型の不純物を例えばイオン注入法或いは拡散法によつてドーブし、P型の領域15を形成して接合J_eを形成するようになすこともできる。第5図に於いて16は領域15の一部にオーミックに被着した電極即ちセンサー電極で、第4図の例では領域15自体をいわばセンサー電極とした場合である。

斯くして光感知部1に、接合J_eをエミッタ接合とし、半導体領域5及び6間に形成されるPN接合J_cをコレクタ接合とするトランジスタ、即ち領域15、6及び5を夫々エミッタ、ベース及びコレクタの各領域とするPNPトランジスタを構成する。

このような構成に於いて、半導体領域5即ちシフトレジスタ2の基体領域となり前述のトランジスタのコレクタ領域となる領域5の端子Cに正の

25 間、即ち転送期間中に前述したと同様に撮像光学像による受光をなす。

上述の本発明装置によれば、その光感知部1を構成するトランジスタのエミッタ領域15に於いて直接的に受光がなされるようになしたので、冒頭に述べたようにセンサー電極を構成する多結晶シリコンを通じて更にその下の絶縁膜を介して受光をなす場合の感度に比し特に短波長側の感度の向上を図ることができるものである。

更に本発明装置によれば、或る以上に生じた電荷をオーバーフローし得るものであるから従来のもののようにオーバーフロートレインを特設する必要がなく、更にセンサー電極に与える電位によつてオーバーフローの生じ始める電荷量を調整設定できる利益もある。

40 尚、接合J_eとしては種々の構成をとり得、ヘテロ接合、ショットキー障壁による構成をとることもできる。又、各部の導電型を図示とは逆導電型とするなど種々の変更をなし得ることは明らかであろう。

⑫特許公報(B2) 昭58-46905

(3)

特公 昭58-46905

5

6

図面の簡単な説明

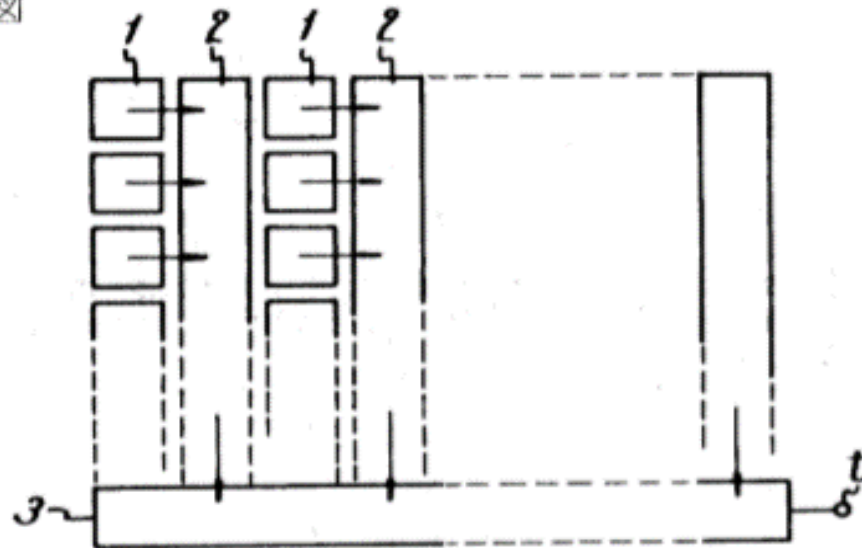
第1図は本発明の説明に供する固体撮像装置の構成図、第2図はその要部の拡大平面図、第3図はそのA-A線上断面図、第4図は本発明装置の一例の要部の拡大断面図、第5図は本発明装置

の動作の説明図である。

4は半導体基体、1は光感知部、2はシフトレジスタ、5及び6は半導体領域、8はチャンネルストツパー領域、9は障壁領域、15はエミッタ領域、16はセンサー電極、Je及びJcは接合である。

Fig.1 Top View of Conventional Interline Transfer CCD Image Sensor

第1図



the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

⑫特許公報(B2) 昭58-46905

29/31

Fig.2 Top View of Conventional Interline Transfer CCD Image Sensor Picture Element Cell

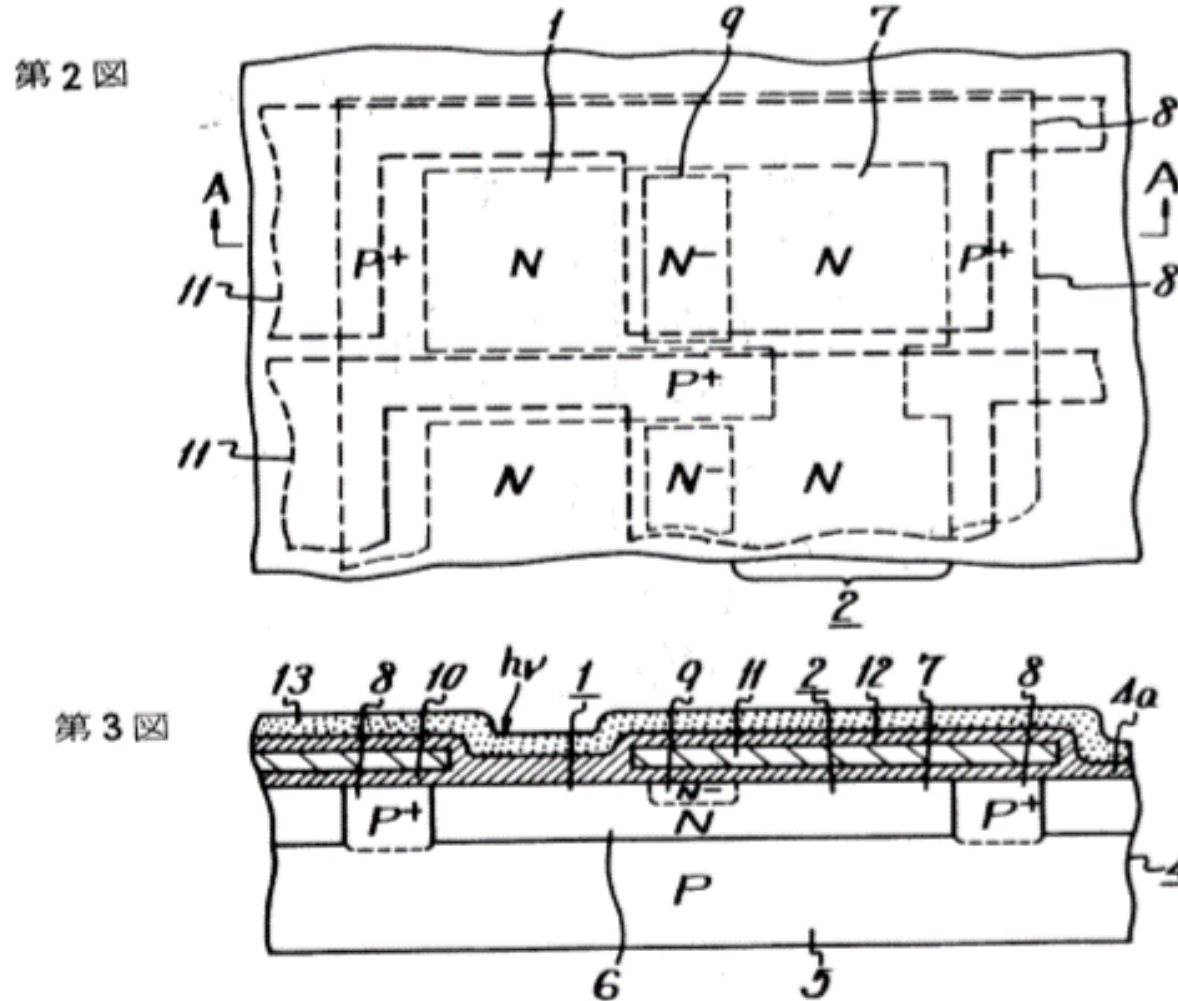


Fig.3 Conventional Buried Channel CCD type MOS Capacitor Photodiode Structure

the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

特許公報 (B2) 昭58-46905

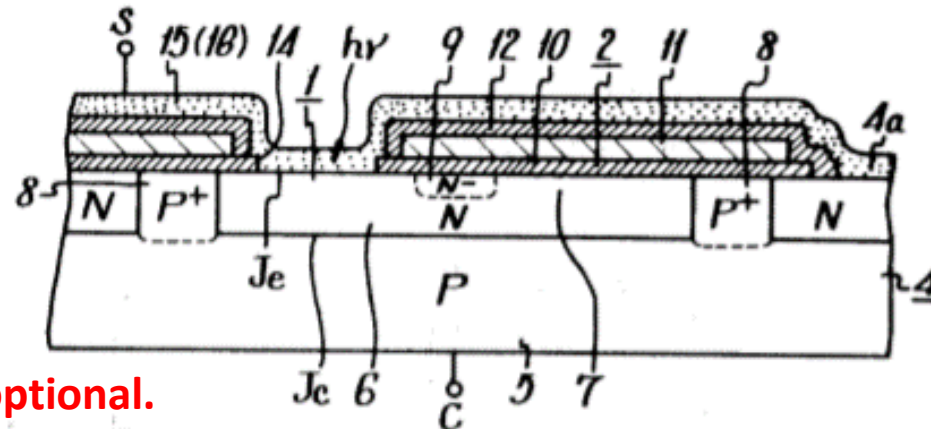
30/31

(4)

特公 昭58-46905

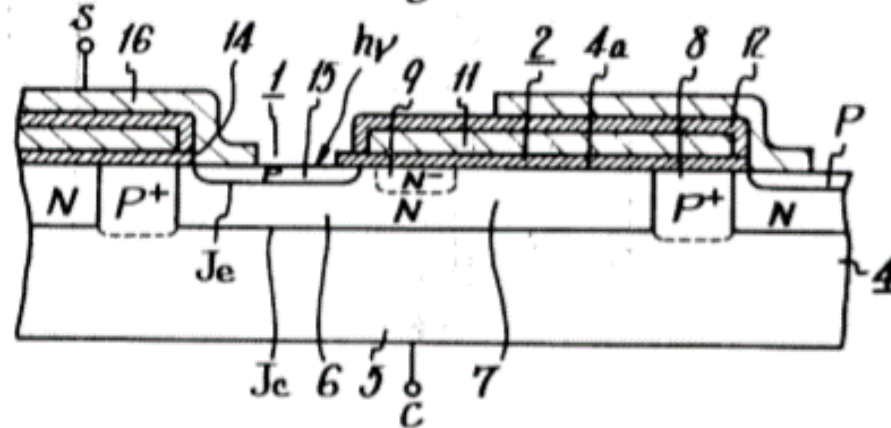
Fig.4 Schottky Barrier type Photodiode

第4図

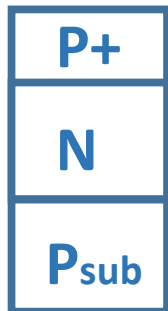


Metal Contact is optional.

第5図



Pinned Photodiode



第6図

Fig.5 Pinned Surface type Photodiode

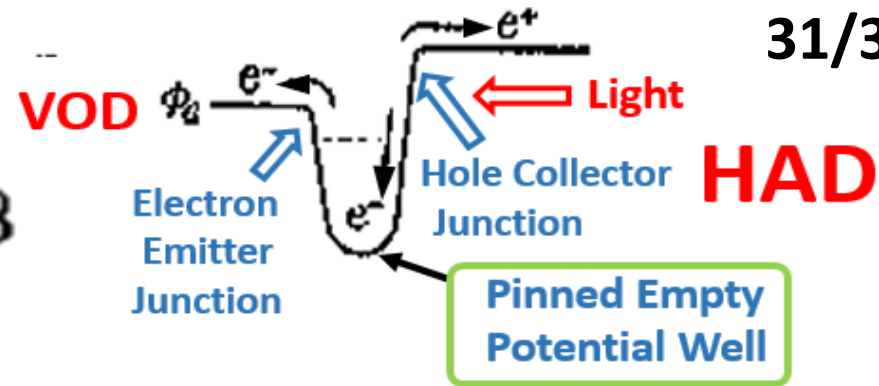
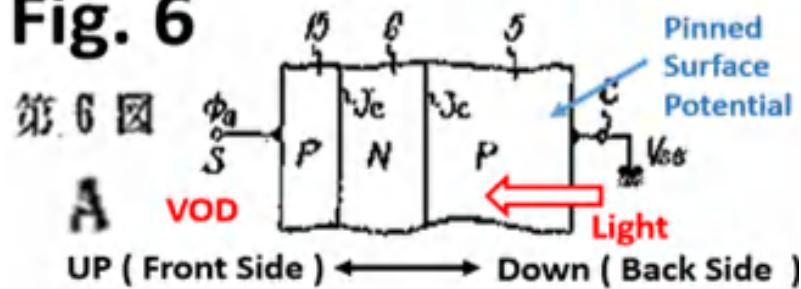
Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Japanese Patent 1975-134985

Hole Accumulation Diode (HAD)

Fig. 6



The P+Psub double junction type dynamic photo transistor (Pinned Photodiode) developed in 1978 by Hagiwara at Sony and reported in the SSDM1978 conference

Sony original 570H x 498 V one-chip FT CCD Image Sensor with Pinned Photodiode, July 1980

These figures shows (1) Excellent Blue Light Sensitivity (2) Low Surface Dark Current and (3) NO Image Lag Features of the P+NP junction type Pinned Photodiode.

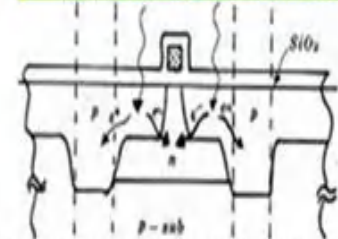
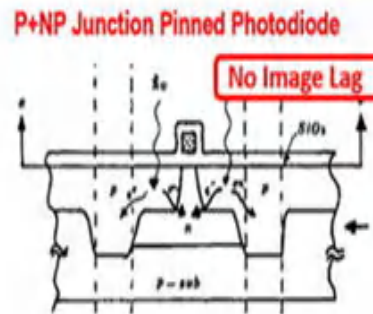
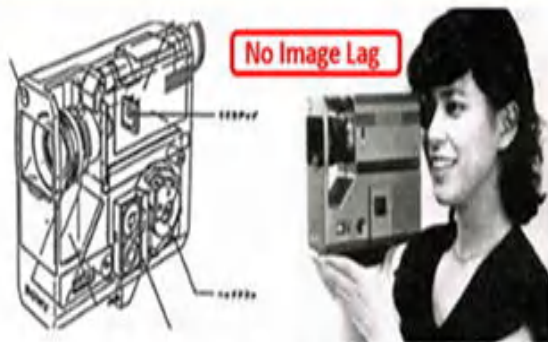


Figure 2 Cross Section of the CCD charge Transfer Region with the P+NP junction type Pinned Photodiode (PPD)

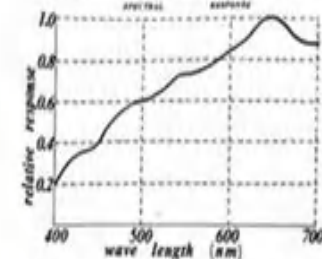


Figure 13 Spectral Response of the P+NP junction Pinned Photodiode (PPD) with the excellent blue light sensitivity

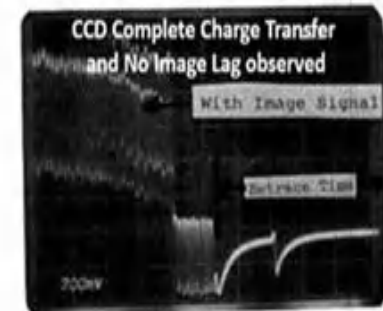


Figure 14 Comparison of CCD image sensor output signals with and without image signal.

On July 1980, Iwama Kazuo at Sony Tokyo Press Conference and Morita Akio at New York Press Conference announced the one chip CCD video camera with the 8 mm VTR in one box.

See the Original 1978 Publication of the Pinned Photodiode Sensor

Y. Daimon-Hagiwara, M. Abe, and C. Okada, "A 380Hx488V CCD imager with narrow channel transfer gates," Proceedings of the 10th Conference on Solid State Devices, Tokyo, 1978; Japanese Journal of Applied Physics, vol. 18, supplement 18-1, pp. 335-340, 1979

High quality picture of SONY CMOS Imager is also based on SONY HAD (Pinned Photodiode).